

基于DLN结构的硅基8×8光开关阵列芯片及高速驱动与校准系统

周棚昊¹,陆梁军^{1,2*},高伟¹,李鑫¹,陈建平^{1,2},周林杰^{1,2}

(1.上海交通大学 区域光纤通信网与新型光通信系统国家重点实验室,上海 200240;2.上海交大平湖智能光电研究院,浙江 平湖 314200)

摘要:为了突破传统电交换技术在带宽和功耗上的瓶颈,提出了一种基于拓展双层网络(DLN)结构的硅基8×8光开关阵列芯片及高速驱动与校准系统。该系统采用马赫-曾德尔干涉仪(MZI)作为开关单元,结合载流子色散效应实现高速推挽驱动,并通过热光移相器完成初始相位校准。系统利用差分放大器和数/模转换器(DAC)构建驱动电路,配合基于现场可编程门阵列(FPGA)的一维搜索算法实现快速校准,单个MZI单元的校准时间仅需36 ms。实验结果表明,该光开关阵列在1 310 nm波长下的插入损耗为9 dB,串扰水平低至-32 dB,稳定时间为81 ns,且-25 dB串扰带宽拓展至70 nm。

关键词:光开关阵列;马赫-曾德尔干涉仪;驱动控制电路;校准算法

中图分类号:TN929.12 **文献标志码:**A **文章编号:**1002-5561(2025)06-0001-07

DOI:10.13921/j.cnki.issn1002-5561.2025.06.001

Silicon-based 8×8 optical switch array chip with high-speed driving and calibration system based on DLN structure

ZHOU Penghao¹, LU Liangjun^{1,2*}, GAO Wei¹, LI Xin¹, CHEN Jianping^{1,2}, ZHOU Linjie^{1,2}

(1. State Key Laboratory of Advanced Optical Communication Systems and Networks, Shanghai Jiao Tong University, Shanghai 200240, China; 2. SJTU-Pinghu Institute of Intelligent Optoelectronics, Pinghu Zhejiang 314200, China)

Abstract: To overcome the bandwidth and power consumption bottlenecks of traditional electrical switching technologies, a silicon-based 8×8 optical switch array chip based on an expanded double-layer network (DLN) structure, along with a high-speed driving and calibration system is proposed. The system employs Mach-Zehnder interferometers (MZI) as switching units, utilizing the carrier dispersion effect to achieve high-speed push-pull driving, while thermal optical phase shifters are used for initial phase calibration. The system incorporates differential amplifiers and digital-to-analog converters (DAC) to construct the driving circuit, coupled with a one-dimensional search algorithm based on field-programmable gate arrays (FPGA) to enable rapid calibration, reducing the calibration time for a single MZI unit to just 36 ms. Experimental results demonstrate that the optical switch array achieves an insertion loss of 9 dB at a wavelength of 1 310 nm, with crosstalk levels as low as -32 dB, a path switching response time of 81 ns, and a -25 dB crosstalk bandwidth extended to 70 nm.

Key words: optical switch array, Mach-Zehnder interferometer, driving and control circuit, calibration algorithm

收稿日期:2024-08-02。

基金项目:国家自然科学基金项目(62135010)资助。

作者简介:周棚昊(1999—),男,贵州安顺人,上海交通大学硕士研究生(本科及硕士均就读于该校)。主要研究方向为硅基光开关芯片及其控制电路与算法实现,曾完成以下科研项目:基于热光效应的32×32 Benes光开关芯片状态校准、8×8 DLN光开关芯片驱动电路设计。

***通信作者:**陆梁军(1989—),男,博士,主要研究方向为集成光电子器件、硅基光电子集成芯片。



0 引言

近年来,随着物联网、车联网和边缘计算等新兴应用的快速发展,数据处理需求呈现爆发式增长。传统电交换技术受限于电子瓶颈,在带宽和功耗方面已难以满足未来通信系统的要求^[1]。全光交换技术因其高带宽、低功耗等优势成为突破这一瓶颈的重要方向,而大规模高速光开关芯片作为全光网络的核心器件,其性能直接影响整个系统的传输效率。

在光开关阵列的设计中,拓扑结构、单元器件的选

择对串扰和插入损耗等关键性能指标具有重要影响。目前, 常见的拓扑结构包括 Benes^[2-4]、PILOSS^[5-7]、Switch & Select^[8-9] 和双层网络 (DLN)^[10-11] 等。其中, DLN 作为一种严格无阻塞结构, 具有校准步骤简单的优势, 但其部分路径在中间级交叉时会引入一阶串扰, 影响传输性能。此外, 光开关单元的实现方式多样, 如微机电系统 (MEMS)^[12-13]、马赫-曾德尔干涉仪 (MZI)^[14-15] 和微环谐振器 (MRR)^[16-17] 等。其中, MZI 结构凭借宽工作带宽和良好的温度稳定性, 成为大规模光开关芯片的理想选择之一。然而, MZI 的驱动方式 (如热光效应^[18-19] 或载流子色散效应^[20-21]) 仍存在优化空间: 热光效应响应速度较慢, 而载流子色散效应虽能实现高速切换, 却会因载流子吸收引入额外插入损耗, 进而恶化串扰性能。近年来, 推挽驱动技术的应用在一定程度上缓解了这一问题^[22-24], 但高速驱动电路的设计及光开关的快速校准仍面临挑战。

针对上述问题, 本文提出一种基于 DLN 结构的硅基 8×8 光开关阵列芯片及高速驱动与校准系统, 结合高速驱动电路^[25-26] 实现纳秒级切换, 采用基于现场可编程门阵列 (FPGA) 的快速校准算法^[27-28] 提高校准效率。

1 光开关阵列工作原理

1.1 MZI 单元

本文采用的 2×2 MZI 开关单元及其驱动电路的结构示意图如图 1 所示。该 MZI 由 2 个基于多模干涉器 (MMI) 的 3 dB 耦合器和 2 条等长连接波导 (上下臂) 构成。MZI 的 2 个干涉臂均集成了基于载流子色散效应的 PIN 二极管, 以实现高速光路切换功能。其中, 上臂额外集成了基于热光效应的氮化钛 (TiN) 移相器 (下文简称热光移相器), 用于完成初始相位校准。虽然热光移相器的响应时间较长 (约 10 μs 量级), 但其相位调节过程几乎不引入额外光功率损耗, 这一特性使其特别适用于 MZI 单元的初始状态校准。在校准完成后, 热光的工作电压将保持恒定, 从而规避其响应速度慢的固有缺陷。

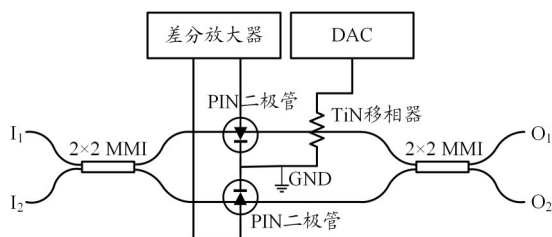


图 1 2×2 MZI 开关单元及其驱动电路

MZI 光开关的工作原理为: 当两臂相位差为 0 时, 输入端口 $I_1(I_2)$ 的光信号将路由至输出端口 $O_2(O_1)$, 此时为交叉 (Cross) 状态; 当两臂相位差为 π 时, 输入光信号将从 $I_1(I_2)$ 路由至 $O_1(O_2)$, 此时呈现直通 (Bar) 状态。

本文采用差分放大器与数/模转换器 (DAC) 共同构成 MZI 驱动电路。具体实现方式为: 将两臂 PIN 移相器的 N 极共地连接, 通过差分放大器产生 2 路互为反相的差分信号, 分别对上、下臂施加正向偏置以实现高速推挽驱动。差分放大器输出方波电压信号, 其高、低电平分别对应 V_{dmax} 和 V_{dmin} 。通过合理设置这 2 个电压值, 使 V_{dmax} 超过 PIN 二极管导通电压而 V_{dmin} 低于导通阈值, 即可实现一臂产生相移而另一臂保持原态的工作模式。

DAC 专门用于驱动 TiN 移相器, 为系统提供稳定的初始相位基准。为抑制载流子吸收效应导致的附加损耗和串扰劣化, 本方案采用推挽式驱动架构。驱动过程如下: 初始状态下通过 TiN 移相器在上臂引入 $\pi/2$ 的固定相位差。当对上臂 PIN 二极管施加 V_{dmax} 电压产生 $-\pi/2$ 相移时, 两臂相位差归零, MZI 切换至 Cross 状态; 当对下臂 PIN 二极管施加相同电压时, 系统产生 π 相位差, MZI 转为 Bar 状态。这种驱动方式将状态切换所需的相移量从 π 降低至 $\pi/2$, 有效改善了光开关的损耗和串扰性能。考虑到工艺偏差会导致两臂初始相位随机分布, 系统通过 DAC 动态调节热光移相器, 确保始终维持 $\pi/2$ 的基准相位差。

1.2 PIN 移相器仿真

本文采用有限元方法对 MZI 单元中的 PIN 移相器进行仿真, 分析其驱动电压与相移量的关系, 并研究不同驱动电压对响应时间的影响。在 1.3 μm 波长下, 硅波导的折射率变化量 Δn 和吸收系数变化量 $\Delta \alpha$ 可由载流子浓度变化量计算得出, 如式 (1)、式 (2)^[29] 所示。

$$\Delta n = -\left[6.2 \times 10^{-22} \Delta N_e + 6.0 \times 10^{-18} (\Delta N_h)^{0.8}\right] \quad (1)$$

$$\Delta \alpha = [6.0 \times 10^{-18} \Delta N_e + 4.0 \times 10^{-18} \Delta N_h] \quad (2)$$

其中, ΔN_e 和 ΔN_h 分别表示波导中电子与空穴浓度的变化量。结合吸收系数变化量 $\Delta \alpha$ 和波长 λ , 可进一步计算硅波导折射率虚部变化量 Δk 为

$$\Delta k = \frac{\lambda \Delta \alpha}{4\pi} \quad (3)$$

通过仿真获得不同驱动电压下载流子在波导横截面的分布, 并基于式 (1) 计算折射率变化, 再结合本征模求解得到硅波导的有效折射率 n_{eff} 及其变化量 Δn_{eff} 。

最终, 光信号经过长度为 L 的热光后产生的相位变化量 $\Delta\varphi$ 可由式(4)计算。

$$\Delta\varphi = \frac{2\pi}{\lambda} L \Delta n_{\text{eff}} \quad (4)$$

本设计中, 移相器长度 L 为 $380 \mu\text{m}$ 。仿真结果表明, 当驱动电压 $V_d=0.93 \text{ V}$ 时, 可引入约 $\pi/2$ 的相移量; 而 $V_d=0.63 \text{ V}$ 时, 相移量仅为 10^{-4} rad , 可视为不引入有效相移。

此外, 通过施加阶跃信号仿真分析不同驱动电压对PIN移相器响应速度的影响。在固定 $V_{\text{dmax}}=0.93 \text{ V}$ 的条件下, 调整 V_{dmin} 分别为 $0, 0.23, 0.43, 0.63, 0.73 \text{ V}$ 。结果表明, V_{dmin} 的变化对下降时间无显著影响, 但上升时间随 V_{dmin} 的增大而延长。当 $V_{\text{dmin}}=0.73 \text{ V}$ 时, 波导芯区折射率上升时间为 1.5 ns , 仍保持较快的响应速度。因此, V_{dmin} 的选取仅需确保其不引起额外相移即可。

1.3 8×8光开关芯片

本文设计的8×8光开关阵列芯片采用扩展DLN拓扑结构, 如图2所示。以 I_3-O_4 和 I_4-O_3 (图中红色线) 这2条目标路径为例, 分析该结构的串扰特性。这2条路

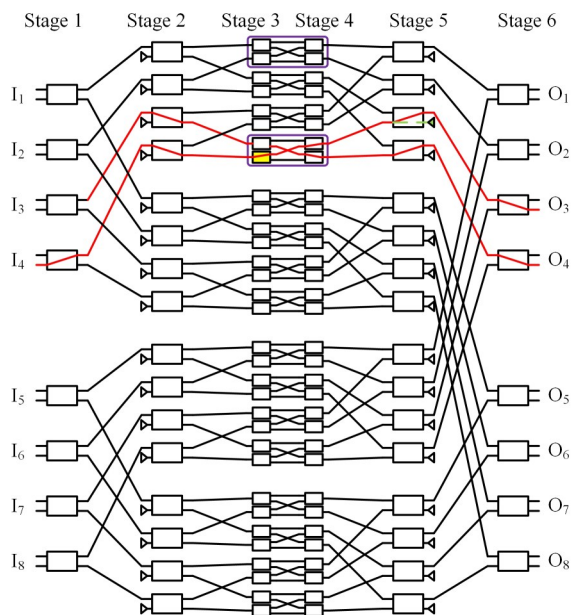


图2 8×8 拓展 DLN 光开关阵列

径在任意MZI单元中均未形成直接交叉, 即不存在共用的MZI单元。在中间级(Stage3和Stage4), 紫色路径的光信号若泄露至黄色路径, 需经过2个MZI单元的泄露端口, 因此仅引入二阶串扰。相较于传统DLN结构, 拓展DLN架构具有更低的串扰水平, 这一特性对电光开关尤为重要。

封装后的光开关芯片在显微镜下的实物照片如图3所示。该芯片由112个2×2 MZI单元构成, 每条光路包含6个开关单元。为提高系统可控性, 在第二级MZI单元之前和第五级MZI单元之后的冗余端口均连接了片上光电探测器(PD), 用于实时监测光功率, 从而在不引入额外损耗的前提下实现开关状态的精确校准。芯片基于8英寸绝缘体上硅(SOI)晶圆制备, 采用标准硅光工艺, 尺寸为 $13.8 \text{ mm} \times 2.76 \text{ mm}$ 。电极通过引线键合方式引出, 光信号则采用光纤阵列端面耦合的方式输入/输出芯片。

2 驱动控制电路和校准算法设计

2.1 路径切换与校准电路

本文设计的光开关芯片外围驱动控制电路原理如图4所示。芯片状态切换信号和热光驱动电压均由FPGA产生。由于芯片包含112个MZI单元, 若直接使用FPGA的I/O端口控制每个单元, 将占用112个I/O

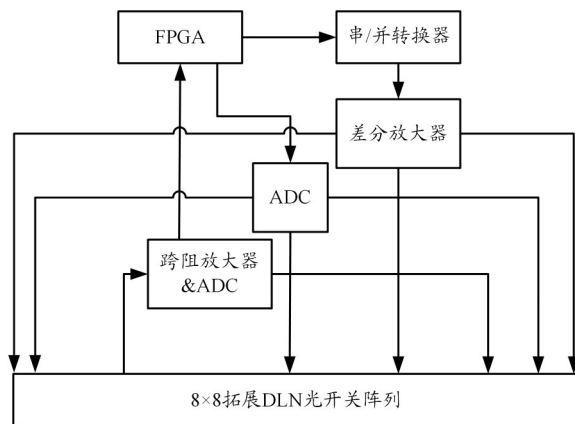


图4 切换电路与校准电路示意图

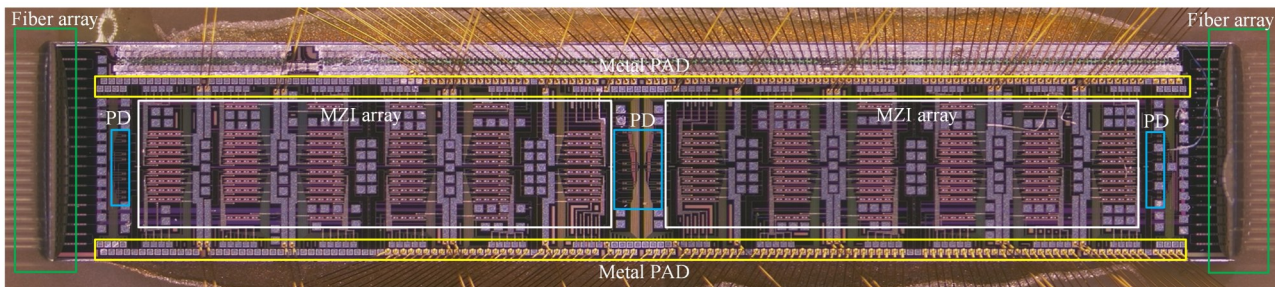


图3 光开关芯片在显微镜下的实物照片

资源。为减少资源占用, 采用串/并转换电路将 FPGA 产生的 1 路 N 位串行信号转换为 N 路并行信号, 使 I/O 需求从 112 个降至 14 个。本文选用 TI 公司的 SN74LV595A 移位寄存器实现 8 位串/并转换, 当 FPGA 时钟频率为 50 MHz 时, 开关最高切换频率可达 6.25 MHz。

串/并转换电路输出的 5 V 并行信号需进行电压转换才能驱动热光。本文采用 Analog Devices 公司的 ADA4927 差分放大器芯片, 该芯片在 150 MHz 带宽内具有较好的平坦性 (损耗 <0.1 dB), 适合产生高速驱动信号。差分放大器可对输入信号进行比例缩放, 并生成 2 路反向信号以满足推挽工作需求。

针对制造工艺导致的 MZI 两臂初始相位误差, 系统通过热光移相器进行补偿, 使两臂保持 $\pi/2$ 相位差。校准过程完全由硬件电路完成: FPGA 控制 DAC 输出驱动电压至热光; 片上 PD 将输出光功率转换为电流信号, 经跨阻放大器转为电压信号后, 由模/数转换器 (ADC) 采样并反馈至 FPGA; FPGA 根据反馈信号动态调整 DAC 输出电压, 经多次迭代确定最佳驱动电压。

基于 1.2 节 PIN 移相器的仿真计算结果表明, 当驱动电压 V_d 设定为 0.93 V 时, 可获得 $-\pi/2$ 的相移量。为验证驱动电路性能, 本文采用 Multisim 软件对 ADA4927 芯片及其外围电路进行仿真分析。为实现与串/并转换电路的阻抗匹配, 设计增加了耦合电阻, 使得差分放大器的输入电压范围调整为 0~2.5 V (串/并转换输出电压的一半)。

图 5 为不同增益系数 G_d 下差分放大器 V_{o+} 端口的电压波形特性。可以看出, 随着 G_d 值的增大, 输出波形在跳变沿出现的过冲现象愈加明显。因此, 为确保电路稳定工作, 需要合理选择 G_d 值, 使其同时满足以下条件:

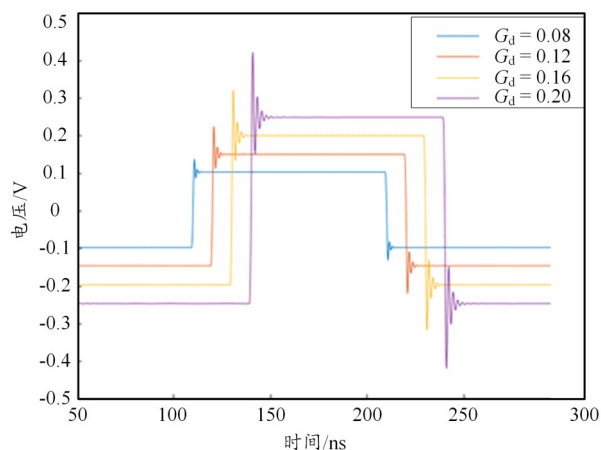


图5 不同增益系数下差分放大器 V_{o+} 输出端口的电压波形

- 1) 控制过冲幅度在允许范围内;
- 2) 确保 $V_{dmax}=0.93$ V 时实现 $-\pi/2$ 相移;
- 3) 保证 $V_{dmin}=0.63$ V 时不产生有效相移。

经综合评估, 本文最终选定 $G_d=0.12$ 作为最优参数。在此配置下, 差分放大器输出方波信号的幅值为 0.3 V。通过调节芯片共模电压控制 (VOCM) 端口的电压, 可生成 2 路符合设计要求 (0.63~0.93 V) 的反向方波驱动信号。

2.2 状态校准算法

由于工艺偏差的存在, 热光的实际驱动最大工作电压 V_{dmax} 与仿真设计值存在差异, 且各单元的最优工作电压也有所不同。为此, 需要标定每个 PIN 移相器实现 $-\pi/2$ 相移所需的实际驱动最大工作电压 V_{dmax} 。考虑到所有差分放大器输出电压的一致性, 本文通过选取若干代表性开关单元进行实验测量, 将所得 V_{dmax} 值的平均值作为所有单元的热光标定电压。本文以 I_4-O_3 路径上的 Stage3 开关单元为例, 具体标定方法如下:

- 1) 从 I_4 端口输入光信号, 调节热光驱动电压使 O_3 输出光功率达到最大值;
- 2) 继续调节热光电压, 使 O_3 输出光功率下降 3 dB, 此时开关单元处于均匀分光状态, 热光引入 $\pi/2$ 相移;
- 3) 保持热光电压不变, 通过差分放大器 VOCM 端口调节驱动电压偏置;
- 4) 当 O_3 输出光功率达到最小值时, 开关单元进入 Bar 状态, 此时 V_{dmax} 即为实现 $-\pi/2$ 相移的实际工作电压。

对于热光的初始状态校准, 采用一维搜索算法来确定每个 MZI 单元实现 $\pi/2$ 相位差所需的驱动电压, 算法流程图如图 6 所示。选择输出光功率最小值作为标定点, 因其对相位变化具有更高的灵敏度, 可获得更精确的标定结果。具体步骤如下:

- 1) 初始化所有待标定路径上的开关单元, 使 PIN 光电移相器在上臂提供 $-\pi/2$ 相移;
- 2) 进行粗扫描: 在 0~9 V 范围内以 187.5 mV 步长均匀设置 49 个热调驱动电压 V_h 点;
- 3) 通过 ADC 读取片上 PD 的光电流值, 记录每个开关单元光电流极值对应的最大和最小驱动电压 V_{hmax} 和 V_{hmin} 。
- 4) 完成路径上所有开关单元的粗扫描后, 将各单元的热调驱动电压统一设置为对应的 V_{hmax} 值。
- 5) 进行细扫描: 在每个待标定开关单元的 V_{hmin} 附近 2 个步长范围内进行扫描, 共设置 3 个测试点。
- 6) 将步长缩小至原步长的 1/2 后, 选取这 3 个点中光电流最小值对应的电压作为新的 V_{hmin} 。

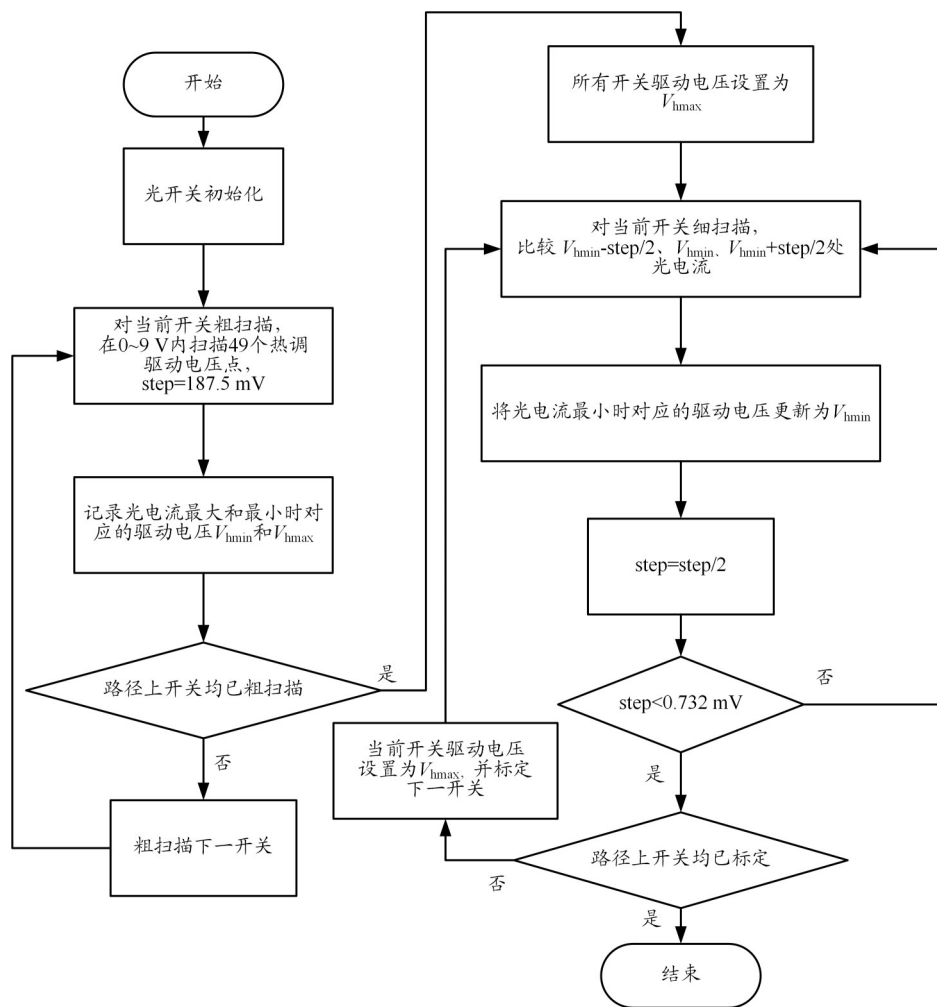


图6 校准算法流程图

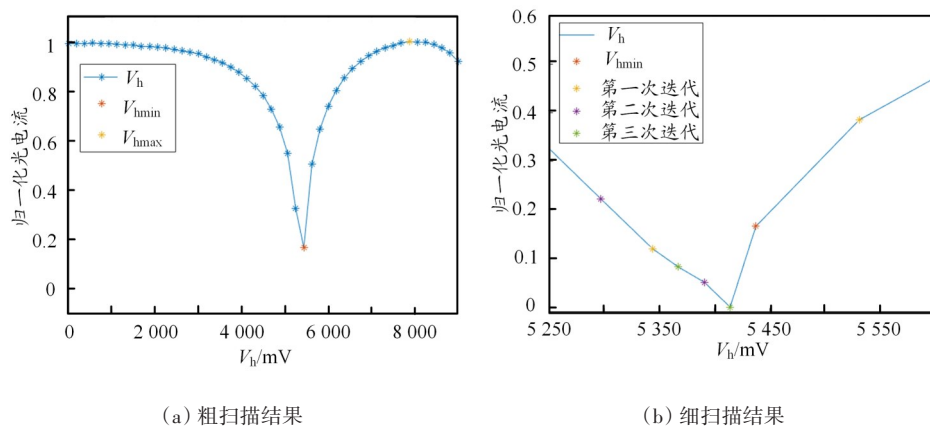


图7 热调驱动电压

重复该过程直至步长缩小至0.732 mV, 此时获得的 V_{hmin} 即为该开关单元的最终标定电压。

粗、细扫描结果分别如图7(a)、图7(b)所示。可以看出细扫描中扫描精度随迭代次数逐步提高。

在校准算法执行过程中, 每个开关单元共需配置

72个热调驱动电压测试点。由于每个电压点的配置间隔为0.5 ms, 因此单个开关单元的完整标定过程仅需36 ms即可完成。这种分级扫描策略既保证了校准精度, 又实现了快速标定, 满足大规模光开关阵列的实时校准需求。

3 实验结果及分析

3.1 MZI单元状态校准

本文采用2.2节所述的状态校准电路和算法, 对图2中紫色方框标记的8个开关单元的热光进行标定。实验测得各单元实现 $-\pi/2$ 相移所需的驱动电压如表1所示。经计算, 这组开关单元的PIN工作电压平均值为996 mV, 与仿真值930 mV存在66 mV偏差。各单元实测值与平均值的最大偏差不超过 ± 20 mV, 这表明热光的工作电压受工艺误差影响较小, 具有良好的一致性。基于此, 本文采用996 mV作为所有开关单元的热光驱动最大工作电压 V_{dmax} 。在此设定条件下, 应用2.2节的一维搜索算法, 完成了1 300 nm工作波长下的开关路径校准, 并获得了每个热光移相器的最佳热调驱动电压 V_h 。

3.2 响应时间、串扰及插损测试

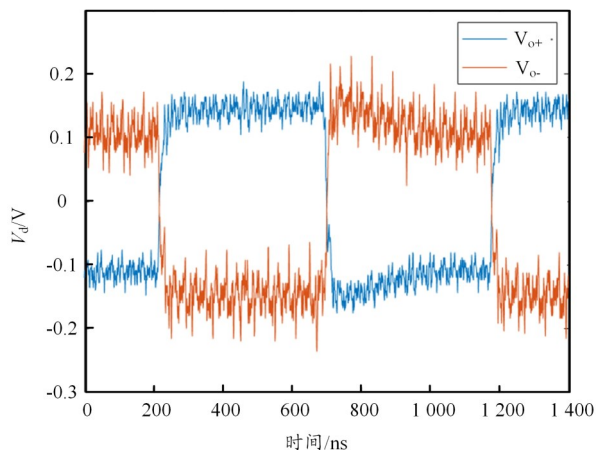
完成校准后, 实验构建了 I_3-O_4 与 I_4-O_3 这2条目标路径。通过FPGA控制信号调节, 使路由路径在 I_3-O_4 、 I_4-O_3 以及 I_3-O_3 、 I_4-O_4 这2种状态间进行周期切换, 切换时间间隔设定为640 ns。测试过程中, 光信号从 I_4 端口输入, 采用片外高速PD分别检测 O_3 和 O_4 端口

输出信号, 并通过示波器采集数据以测量开关阵列的响应特性。其中, 上升时间定义为光电流幅度从10%升至90%所需时间, 下降时间则为光电流幅度从90%降至10%的时长。响应时间测试结果如图8所示。

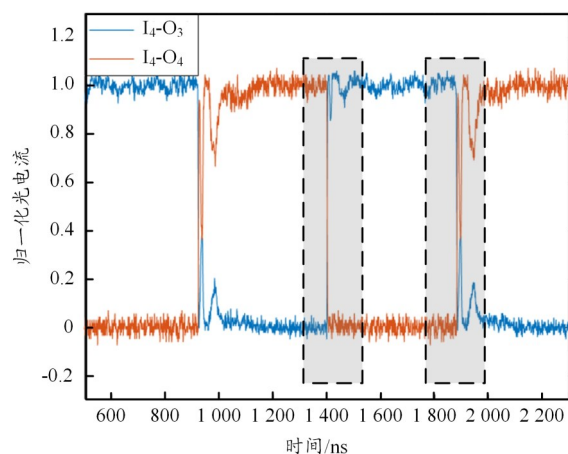
从图8(a)可以看出, 差分放大电路输出的2路方

表1 紫色方框中开关单元PIN移相器工作电压标定值/开关单元

开关单元	标定电压/mV	开关单元	标定电压/mV
$I_1-O_2 (S_3)$	1 008	$I_1-O_2 (S_4)$	1 012
$I_2-O_1 (S_3)$	998	$I_2-O_1 (S_4)$	997
$I_3-O_4 (S_3)$	995	$I_3-O_4 (S_4)$	984
$I_4-O_3 (S_3)$	985	$I_4-O_3 (S_4)$	989



(a) 电路响应时间测试结果



(b) 光开关阵列路径切换响应时间测试结果

图8 响应时间测试结果

波信号中, V_{o+} 端口电压信号下降后需要较长时间达到稳定状态, 这导致 I_4-O_3 路径下降沿稳定时间延长。图8(b)的测试结果表明(虚线框中的曲线变化), I_4-O_3 路径上升沿切换时间为2.5 ns, 稳定时间为17 ns; 下降沿切换时间为3.5 ns, 稳定时间为81 ns。该结果证实光开关阵列可实现纳秒级路径切换。

在串扰测试中, 首先通过校准算法将 I_3-O_4 和 I_4-O_3 路径上的开关单元调整至工作状态。对 I_3-O_3 、 I_4-O_4 、 I_3-O_4 、 I_4-O_3 这4条路径进行光谱扫描, 测得的目标路径插

损及串扰结果如下: 在1 310 nm波长处, 目标路径 I_4-O_3 和 I_3-O_4 的片上插入损耗分别为9.05 dB和9.43 dB, 串扰路径 I_3-O_3 、 I_4-O_4 的串扰水平约为-32 dB, 同时其-25 dB串扰带宽达到70 nm。

4 结束语

本文设计并实现了基于DLN结构的硅基8×8光开关阵列芯片及其驱动控制系统。测试结果表明, 通过采用拓展DLN结构, 有效抑制了一阶串扰, 同时将-25 dB串扰带宽提升至70 nm。该芯片在1 310 nm波长处的插入损耗约为9 dB, 串扰水平约为-32 dB。

系统采用片上PD与ADC、跨阻放大器、FPGA、DAC等构成闭环反馈回路, 结合一维优化算法实现状态校准, 单个MZI开关单元的校准时间仅需36 ms。通过FPGA输出串行信号, 配合串/并转换电路和差分放大器推挽驱动MZI单元的PIN移相器, 实现了81 ns的路径响应时间。

实验数据表明, 该光开关芯片及其驱动控制系统具有纳秒级路径切换能力, 同时保持较低的插入损耗和串扰水平, 在高速光交换系统中具有潜在的应用价值。

参考文献:

- [1] SATO K. Realization and application of large-scale fast optical circuit switch for data center networking[J]. Journal of Lightwave Technology, 2018, 36(7): 1411-1419.
- [2] CHU T, QIAO L, TANG W. High-speed 8×8 electro-optic switch matrix based on silicon PIN structure waveguides[C]//IEEE. Proceedings of 2015 IEEE 12th International Conference on Group IV Photonics (GFP). Vancouver: IEEE, 2015: 123-124.
- [3] QIAO L, TANG W, CHU T. 16×16 non-blocking silicon electro-optic switch based on Mach-Zehnder interferometers[C]//Optica Publishing Group. Proceedings of Optical Fiber Communication Conference. Anaheim: Optica Publishing Group, 2016: Th1C. 2-1- Th1C. 2-3.
- [4] LU L, ZHOU L, LI Z, et al. 4×4 Silicon non-blocking electro-optic switches based on double-ring assisted Mach-Zehnder interferometers[C]//IEEE. Proceedings of 2015 European Conference on Optical Communication (ECOC). Valencia: IEEE, 2015: 1-3.
- [5] SUZUKI K, TANIZAWA K, MATSUKAWA T, et al. Ultra-compact 8×8 Strictly Non-Blocking PILOSS Switch Based on Si-Wire[C]//Optica Publishing Group. Proceedings of Photonics in Switching. London: Optica Publishing Group, 2014: PM2C. 3-1-PM2C. 3-3.
- [6] TANIZAWA K, SUZUKI K, IKEDA K, et al. Ultra-compact 32×32 strictly-non-blocking Si-wire PILOSS switch[C]//Optica Publishing Group. Proceedings of Photonic Networks and Devices. Los Angeles: Optica Publishing Group, 2016: NeTu1C. 4-1- NeTu1C. 4-7.
- [7] SUZUKI K, KONOIKE R, CONG G, et al. O-band strictly non-blocking

- 8×8 silicon-photonics switch[C]//IEEE. Proceedings of 2020 Optical Fiber Communications Conference and Exhibition. San Diego: IEEE, 2020: 1–3.
- [8] XIA J, CHEN M, RIZZO A, et al. O-band microring resonator based switch-and-select silicon photonic switch fabric[C]//Optica Publishing Group. Proceedings of CLEO: Science and Innovations. San Jose: Optica Publishing Group, 2022: SF4M. 7-1–SF4M. 7-2.
- [9] GAO W, LI X, LU L, et al. Broadband, low-crosstalk and power-efficient 32×32 optical switch on a dual-layer Si₃N₄-on-SOI platform[C]//Optica Publishing Group. Proceedings of Optical Fiber Communication Conference. San Diego: Optica Publishing Group, 2022: W4B. 4-1–W4B. 4-3.
- [10] GUO Z, LU L, ZHAO S, et al. Strictly non-blocking 4×4 silicon electro-optic switch based on a double layer network architecture[C]//IEEE. Proceedings of 2016 IEEE 13th International Conference on Group IV Photonics. Shanghai: IEEE, 2016: 68–69.
- [11] DENG J S, LU M F, HUANG Y T. Double-layer networks with holographic optical switches[J]. Applied Optics, 2004, 43(6): 1342–1348.
- [12] KWON K, SEOK T J, HENRIKSSON J, et al. 128×128 silicon photonic MEMS switch with scalable row/column addressing[C]//Optica Publishing Group. Proceedings of CLEO: Science and Innovations. San Jose: Optica Publishing Group, 2018: SF1A. 4-1–SF1A. 4-4.
- [13] HONARDOOST A, HENRIKSSON J, KWON K, et al. Low-loss wafer-bonded silicon photonic MEMS switches[C]//IEEE. Proceedings of 2022 Optical Fiber Communications Conference and Exhibition (OFC). San Diego: IEEE, 2022: 1–3.
- [14] HUANG Y, CHENG Q, HUNG Y H, et al. Dual-microring resonator based 8×8 silicon photonic switch[C]//IEEE. Proceedings of 2019 Optical Fiber Communications Conference and Exhibition (OFC). San Diego: IEEE, 2019: 1–3.
- [15] CHU T, QIAO L, TANG W, et al. Fast, high-radix silicon photonic switches[C]//IEEE. Proceedings of 2018 Optical Fiber Communications Conference and Exposition (OFC). San Diego: IEEE, 2018: 1–3.
- [16] STABILE R, DASMAHAPATRA P, WILLIAMS K A. First 4×4 InP switch matrix based on third-order micro-ring-resonators[C]//Optica Publishing Group. Proceedings of Optical Fiber Communication Conference. Anaheim: Optica Publishing Group, 2016: Th1C. 3-1–Th1C. 3-3.
- [17] XIA J, CHEN M, RIZZO A, et al. O-band microring resonator based switch-and-select silicon photonic switch fabric[C]//Optica Publishing Group. Proceedings of CLEO: Science and Innovations. San Jose: Optica Publishing Group, 2022: SF4M. 7-1–SF4M. 7-2.
- [18] ZHOU T, JIA H, DING J, et al. On-chip broadband silicon thermo-optic 2×2 four-mode optical switch for optical space and local mode switching[J]. Optics Express, 2018, 26(7): 8375–8384.
- [19] ZHOU T, JIA H, DAI J, et al. Rearrangeable-nonblocking five-port silicon optical switch for 2-D-mesh network on chip[J]. IEEE Photonics Journal, 2018, 10(3): 1–8.
- [20] GREEN W M J, YANG M, ASSEFA S, et al. Silicon electro-optic 4×4 non-blocking switch array for on-chip photonic networks[C]//IEEE. Proceedings of 2011 Optical Fiber Communication Conference and Exposition and the National Fiber Optic Engineers Conference. Los Angeles: IEEE, 2011: 1–3.
- [21] ZHOU P J, XING J J, LI X Y, et al. Strictly non-blocking 4×4 silicon electro-optic switch matrix[J]. Chinese Physics B, 2015, 24(12): 124209-1–124209-4.
- [22] HUANG Y, CHENG Q, BERGMAN K. Automated calibration of balanced control to optimize performance of silicon photonic switch fabrics[C]//IEEE. Proceedings of 2018 Optical Fiber Communications Conference and Exposition (OFC). San Diego: IEEE, 2018: 1–3.
- [23] HUANG Y, CHENG Q, RIZZO A, et al. Push—pull microring-assisted space-and-wavelength selective switch[J]. Optics Letters, 2020, 45(10): 2696–2699.
- [24] BAO P, YAO C, CHEN M, et al. Strictly non-blocking 8×8 electro-optic silicon Mach-Zehnder switch with <40 dB crosstalk[EB/OL]. [2024-08-02]. https://www.researchgate.net/publication/380319326_Strictly_Non-blocking_88_Electro-optic_Silicon_Mach-Zehnder_Switch_with_-40_dB_Crosstalk.
- [25] JIANG J, GOODWILL D J, DUMAIS P, et al. 16×16 silicon photonic switch with nanosecond switch time and low-crosstalk architecture[C]//IET. Proceedings of 45th European Conference on Optical Communication (ECOC 2019). Dublin: IET, 2019: 1–4.
- [26] DUPUIS N, PROESEL J E, AINSPAN H, et al. Nanosecond photonic switch architectures demonstrated in an all-digital monolithic platform[J]. Optics Letters, 2019, 44(15): 3610–3612.
- [27] HUANG Y, CHENG Q, BERGMAN K. Automated calibration of balanced control to optimize performance of silicon photonic switch fabrics[C]//IEEE. Proceedings of 2018 Optical Fiber Communications Conference and Exposition (OFC). San Diego: IEEE, 2018: 1–3.
- [28] SUDA S, MATSUURA H, TANIZAWA K, et al. Fast and accurate automatic calibration of a 32×32 silicon photonic strictly-non-blocking switch[C]//Optica Publishing Group. Proceedings of Photonics in Switching. New Orleans: Optica Publishing Group, 2017: PTu3C. 5-1–PTu3C. 5-3.
- [29] SOREF R, BENNETT B. Electrooptical effects in silicon[J]. IEEE Journal of Quantum Electronics, 1987, 23(1): 123–129.
- [30] PROESEL J E, DUPUIS N, AINSPAN H, et al. A monolithically integrated silicon photonics 8×8 switch in 90nm SOI CMOS[C]//IEEE. Proceedings of 2020 IEEE Symposium on VLSI Circuits. Honolulu: IEEE, 2020: 1–2.