

引用本文: 魏兴, 陈聪, 罗懿宸, 等. 25G ONU 光模块的高速性能设计与实现[J]. 光通信技术, 2024, 48(4): 25-30.

25G ONU 光模块的高速性能设计与实现

魏兴, 陈聪*, 罗懿宸

(东莞铭普光磁股份有限公司, 广东 东莞 523330)

摘要: 优化光模块的发射光信号眼图性能和接收信号灵敏度是提升高速光网络单元(ONU)光模块传输链路预算的关键所在。设计了一种具备高速性能的 25G ONU 光模块, 首先深入研究了高速信号线走线阻抗不连续点的处理技巧和印刷电路板(PCB)打孔工艺设计对传输信号线带宽性能的影响机制, 然后调整参考叠层结构、优化过孔工艺方式, 最后对其进行高速信号仿真试验分析。测试结果表明: 所设计的模块不仅全面满足发射眼图性能和接收灵敏度的指标要求, 而且其性能余量远超 IEEE802.3ca 协议标准。

关键词: 光模块; 光网络单元; 差分阻抗; S 参数; 时域反射

中图分类号: TN256 **文献标志码:** A **文章编号:** 1002-5561(2024)04-0025-06

DOI: 10.13921/j.cnki.issn1002-5561.2024.04.005

开放科学(资源服务)标识码(OSID):



High-speed performance design and implementation of 25G ONU optical module

WEI Xing, CHEN Cong*, LUO Yichen

(Dongguan Mentech Optical & Magnetic Co., Ltd., Dongguan Guangzhou 523330, China)

Abstract: Optimizing the eye diagram performance of the transmitting optical signal and the sensitivity of the receiving signal of the optical module is the key to improving the transmission link budget of the high-speed optical network unit(ONU) optical module. A 25G ONU optical module with high speed performance is designed. First, the processing skills of high-speed signal line impedance discontinuity and the mechanism of the impact of printed circuit board(PCB) punching process design on the bandwidth performance of transmission signal line are thoroughly studied. Then, the reference stack structure is adjusted and the via process mode is optimized. Finally, the high-speed signal simulation and analysis are carried out. The test results show that the designed module not only fully meets the performance requirements of the transmitting eye diagram and receiving sensitivity, but also has a performance margin far exceeding the IEEE802.3ca protocol standard.

Key words: optical module, optical network unit, differential impedance, S-parameters, time domain reflectometry

收稿日期: 2023-12-15。

基金项目: 国家重点研发计划光电子与微电子器件及集成重点专项(2018YFB2200303)资助。

作者简介: 魏兴(1992—), 男, 硕士, 主要研究方向为光模块的硬件设计、信号完整性与电源完整性设计以及光电眼图调测。2015 年加入东莞铭普光磁股份有限公司, 从事 GPON、10G EPON/XGPON/XGSPON、25G PON、50G PON 等固网接入光模块研发工作。在光模块的硬件设计、信号完整性与电源完整性设计以及光电眼图调测方面积累了丰富的经验, 已申请和获取专利 20 余项。

* **通信作者:** 陈聪(1982—), 男, 博士, 高级工程师, 主要研究方向为集成光学、光纤通信技术和光子信息处理。



0 引言

自 2020 年千兆光纤入户商用以来, 千兆宽带接入技术虽已逐渐成熟, 但现有网络速率仍难以满足未来 4K/8K 超高清电视、虚拟现实/增强现实(AR/VR)技术以及物联网等应用场景对数据流量和时延的高要求。为此, IEEE 在 2016 年就提出了 IEEE802.3ca 标准, 制定了 25 Gb/s 速率的光网络单元(25G ONU)技术标准要求, 为下一代宽带接入网络技术发展奠定了行业基础^[1]。同时, 25G PON 技术的优势也相当显著, 其技术总体方案与现有成熟的 10G PON 方案基本相同, 仅采用时钟数据恢复器(CDR)技术就能确保出色的性能表现, 无需使用功耗大、成本高的数字信号处

魏兴,陈聪,罗懿宸,等: 25G ONU 光模块的高速性能设计与实现

理器(DSP),使得运营商升级下一代 PON 的成本得到了有效降低。因此,设计低成本、高性能且可靠的 ONU 光模块至关重要。

针对 25 Gb/s 速率的 PON 模块,其开发技术的主要难点在于如何设计实现高链路预算和稳定的上行突发工作性能。为此,本文提出一种具备高速性能的 25G ONU 光模块的设计方案。

1 光模块总体设计

25G 光收发模块,作为接入网中的核心元器件,拥有着庞大的市场需求。该模块支持发射数据和接收数据的双向传输,并经过波分复用技术实现一根光纤传输发送和接收数据流的技术,充分利用了光纤线路的带宽资源。其中,每个通道的传输速率高达 25 Gb/s,并且采用了先进的不归零编码(NRZ)调制方式。这一设计使得模块的上下行速率均能满足 25 Gb/s 的高标准,进一步提升了其在接入网中的应用价值。光模块整体原理框图如图 1 所示。其中,发射相关的电芯片主要包括控制单元(MCU)、驱动器、直流/直流转换器(DC/DC)电源、数/模转换器(DAC)电压源、高速开关、半导体制冷器(TEC)驱动电源等;接收相关的电芯片主要包括 MCU、限幅放大器、跨阻放大器(TIA)、雪崩光电二极管(APD)偏置电源;光器件单纤双向组件(BOSA)主要包括用户连接器(SC)光接口、分布反馈激光器(DFB)、TEC 控温器、APD 探测器等^[2]。

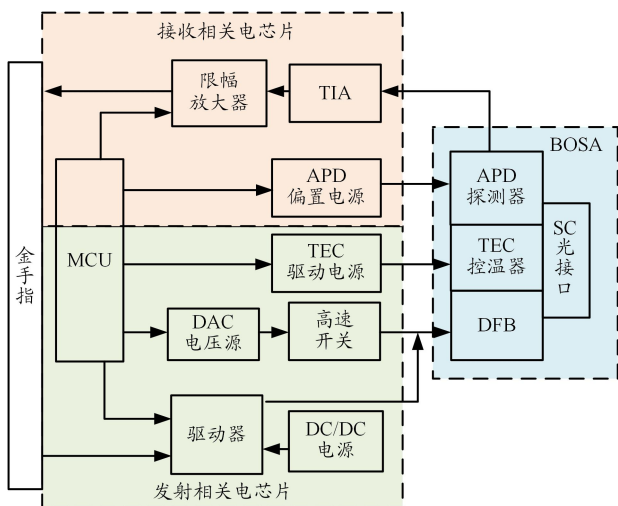


图 1 光模块整体原理框图

发射端电信号从连接器金手指电接口进入驱动器进行信号的整形处理,处理后的电流信号直接驱动 DFB,使其发光强度发生变化,从而实现电/光转换。接收端光信号通过 BOSA 的 SC 光接口进入 APD 探测

器,APD 探测器将光信号转换为电流信号。接着,电流信号经过 TIA 进行放大,随后进入限幅放大器芯片进行处理。最后,经过内部时钟恢复电路(CDR)的处理后,信号被输出,从而完成光/电转换过程。

光模块整体结构示意图如图 2 所示。图中,绿色虚线表示电信号的传输方向,蓝色虚线表示发射光信号的输出方向,红色虚线表示接收光信号的输入方向。在模块的制作过程中,光器件 BOSA 和印刷电路板贴片(PCBA)板则通过柔性电路板(FPC)进行连接。其中,光器件 BOSA 是由发射晶体管封装(TO)、接收 TO、无源器件(45°滤光片、0°滤光片、隔离器)和金属件(光纤适配器、金属基座、调节环)构成的气密封装器件。

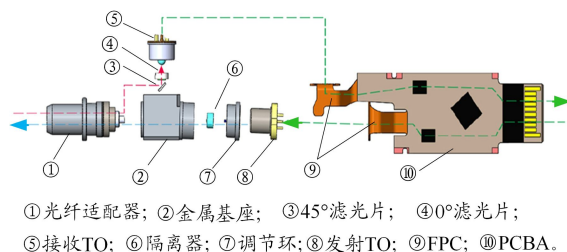


图 2 光模块的整体结构示意图

发射 1 286 nm 波长光信号的传输过程如下:首先,DFB 发射光信号,经过非球透镜进行光路汇聚以提高入纤功率耦合效率;其次,经过隔离器隔离反射光,以防止反向光影响 DFB 的工作性能;最终,光信号水平穿过 45°滤光片后进入斜 8°角的光纤适配器。

接收 1 358 nm 波长光信号的传输过程如下:首先,光信号通过光纤适配器输入,随后水平穿过一个 45°滤光片。基于该滤光片的波长选择特性,1 358 nm 波长的光信号被全反射。接着,反射后的光信号再通过一个 0°滤光片,以滤除 1 358 nm 波长以外的光信号。最后,经过透镜的汇聚作用,光信号被聚焦到 APD 探测器的光敏面上进行吸收。

2 光模块的高频电气设计与优化

本文对所提模块高速信号线的阻抗匹配性能进行优化设计,将理论仿真与实验验证相结合对其进行测试,充分评估该模块的可行性。

2.1 光模块的 PCB 叠层设计

首先对光模块的 PCB 进行设计。材料和叠层设计参数如图 3 所示。整个 PCB 采用 8 层布线结构,其叠层间采用内芯板(Core)和半固化片(PP)的电解质材料构成。在铜箔层 L_1 和 L_2 之间以及 L_7 和 L_8 之间各需采用 1 张较低介电常数和损耗因子的 PP 板材(如松下

层标识	叠层材料	材料厚度
L ₁	铜箔/oz	1/3+plating
	PP M6/ μm	76
L ₂	铜箔/oz	1/3+plating
	Core FR4	130
L ₃	铜箔/oz	1.0
	PP FR4	127
L ₄	铜箔/oz	1.0
	Core FR4	130
L ₅	铜箔/oz	1.0
	PP FR4	127
L ₆	铜箔/oz	1.0
	Core FR4	130
L ₇	铜箔/oz	1/3+plating
	PP M6/ μm	76
L ₈	铜箔/oz	1/3+plating

图3 材料和叠层设计参数

的 M6 板材系列), 其余叠层采用普通的环氧层压板 (FR4) 板材。其中, L₁、L₂ 层用于高频差分线, 另外 6 层用于常规电源层、地层和信号层。L₂ 和 L₇ 层采用了完整的对称铺铜地平面对称结构设计, 这种设计不仅缩短了信号回流路径长度, 降低了串扰, 还显著提升了信号电磁兼容性 (EMC) 的屏蔽效果, 并且优化了散热性能。此外, L₇ 与 L₈ 层间选用了松下 M6 系列 PP 板材, 通过对称结构的叠层设计, 有效地平衡了压合时的应力分布, 进而降低了 PCB 的翘曲风险^[3]。

2.2 PCB 高频线路分析和优化

本文使用商用射频仿真软件, 对 PCB 高频差分线阻抗进行计算。首先, 将绘制完成的 PCB 设计文件导入到仿真软件中, 其 PCB 高速信号设计图如图 4 所示。图中, 4 对蓝色线条①、②、③、④分别为金手指到驱动芯片的 100 Ω 高速信号差分线、驱动芯片到发射器件焊盘的 50 Ω 高速信号差分线、接收器件焊盘到限幅放大器的 100 Ω 高速信号差分线、限幅放大器到金手指的 100 Ω 高速信号差分线。信号阻抗不连续的地方主要是金手指、耦合电容、焊球阵列封装 (BGA) 的焊盘以及过孔、器件连接焊盘等关键部位。然后, 对这 4

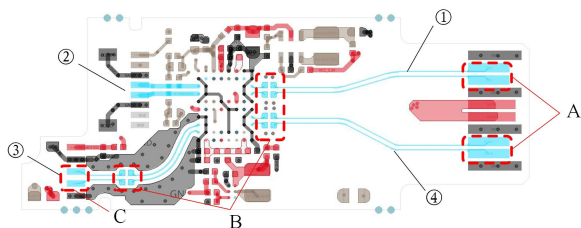


图4 PCB 高速信号设计图

对高速信号差分线进行优化处理。

将金手指接触位置按照 SFF-8431 协议规定设计, 图 4 中 A 处为金手指中的高速信号 PIN 脚。由于金手指连接处的高速信号差分线线宽比正常的 101.6 μm 线宽宽很多。因此, 本文的优化设计思路为: 首先, 将金手指位置采用参考层挖空设计, 通过直接参考第 7 层的铺铜地平面, 拉大参考层之间的距离, 从而降低耦合电容, 进而提高高速信号差分线的阻抗。其次, 为了优化相邻叠层的边沿耦合效应, 应尽量确保第 2~6 层的挖空区域大于金手指四周边缘的距离。这样可以在一定程度上降低电容耦合效应。最后, 在图 4 的金手指中, 高速信号 PIN 脚两侧紧邻的 PIN 脚为接地引脚, 需要进行打孔设计, 并确保孔间距小于信号波长的 1/20, 以减少 EMC 干扰^[4]。

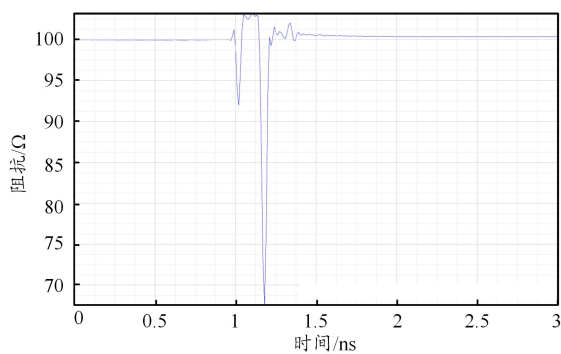
图中 B 处为差分线上的串联耦合电容焊盘。差分线耦合电容采用 0201 封装设计, 其焊盘横截面积远大于 101.6 μm 线宽, 特性阻抗偏低。本文采用增加参考层介质厚度的方法来提升阻抗。此外, 还通过挖空第 2 层并参考第 3 层布局的方式来提高阻抗连续性; 同时, 为降低阻抗不连续点处的回流路径长度, 减少 EMC 干扰的风险, 可以在差分线耦合电容的两侧各打 4 个地孔。

图中 C 处为接收器件焊盘中的高速信号焊盘 PIN 脚, 其焊盘横截面积远大于 101.6 μm 线宽, 特性阻抗偏低。为了提高阻抗连续性, 该高速信号焊盘下方区域同样采取了挖空第 2 层并参考第 3 层布局的设计方案。

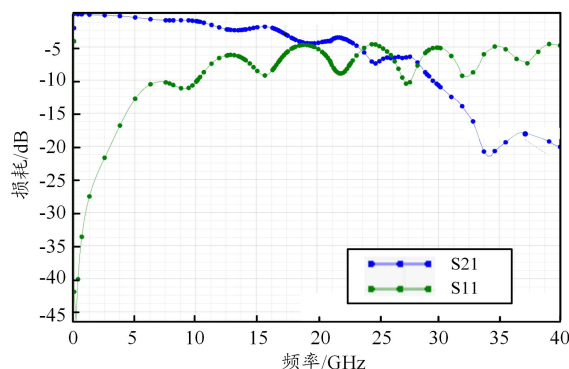
2.2.1 连接金手指处的 2 对 100 Ω 高速信号差分线仿真

本文对连接金手指处的 2 对 100 Ω 高速信号差分线进行仿真。在 PCB 布局中, 由于高速信号差分线在图 4 中的 PIN 脚和焊盘处的横截面积偏大, 其特性阻抗偏低。其中, 金手指的信号线 PIN 脚横截面积最大, 成为特性阻抗最低的位置; 而电容焊盘处的特性阻抗也相对较低。因此, 金手指位置在时域反射 (TDR) 测试中呈现出最小的阻抗值。连接金手指处的仿真结果如图 5 所示。从图 5(a) 可以看出, 除了金手指位置区域的阻抗约为 67 Ω , 其它区域高速信号差分线的整体阻抗能控制在 $100 \pm 10 \Omega$ 以内。图 5(b) 为图 4 中①或④高速信号差分线的插入损耗 (S₂₁) 和输入回波损耗 (S₁₁) 的仿真结果。可以看出, S₂₁ 在 -3 dB 处的频率是 17.25 GHz, 即高速信号差分线的 -3 dB 带宽为 17.25 GHz; 在 25 GHz 频率范围内, S₁₁ 值小于 -5 dB, 即输入回波损耗大于 5 dB。

魏兴, 陈聪, 罗懿宸, 等: 25G ONU 光模块的高速性能设计与实现



(a) TDR 仿真



(b) S11 和 S21 仿真

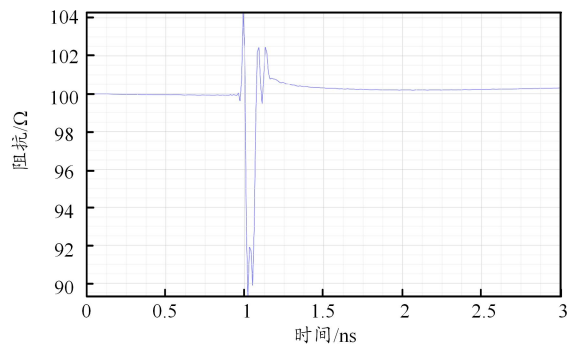
图5 连接金手指处的仿真结果

2.2.2 接收器件焊盘到限幅放大器处的 100 Ω 高速信号差分线仿真

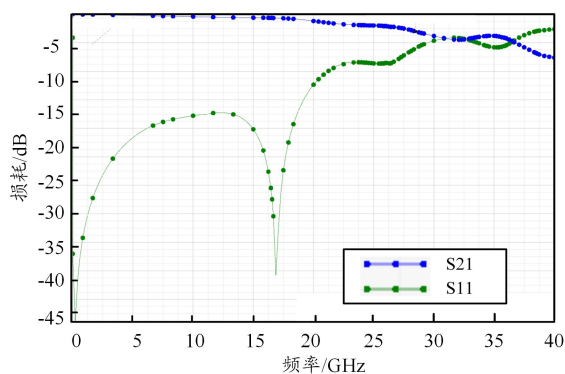
由于串联耦合电容的焊盘和与柔线板焊接的焊盘这 2 处区域的横截面积远大于其它区域, 特性阻抗偏低。为使该区域特性阻抗增大, 本文通过增加参考层介质厚度的方式来提升阻抗。在高速信号线焊盘下方区域, 采用了在第 2 层挖空的设计, 并参考了第 3 层的布局。接收器件焊盘到限幅放大器处的仿真结果如图 6 所示。从图 6(a)可以看出, 信号传输过程中特性阻抗不匹配造成的阻抗最低值是 90 Ω, 可以将传输线的特性阻抗控制在 100 ± 10 Ω 以内, 符合 SFF-8431 协议要求; 从图 6(b)可以看出, 在 25 GHz 频率范围内, S11 值小于 -8 dB, 即输入回波损耗大于 8 dB; S21 在 -3 dB 处的频率是 28.48 GHz, 即高速信号差分线的 -3 dB 带宽为 28.48 GHz。理论上, 25 Gb/s NRZ 数据传输速率所需的最小带宽为 18.75 GHz, 而 28.48 GHz 的带宽性能则显著超出这一最小要求。

2.2.3 驱动芯片到发射器件焊盘处的 50 Ω 高速信号差分线仿真

BGA 焊盘横截面积远小于传输线宽, 导致该区域的特性阻抗高于其它区域, 因此在针对发射驱动输出 50 Ω 的高速信号差分线设计中, 本文采用渐变线宽处



(a) TDR 仿真

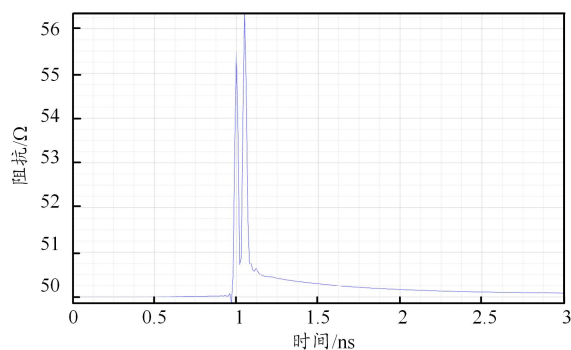


(b) S11 和 S21 仿真

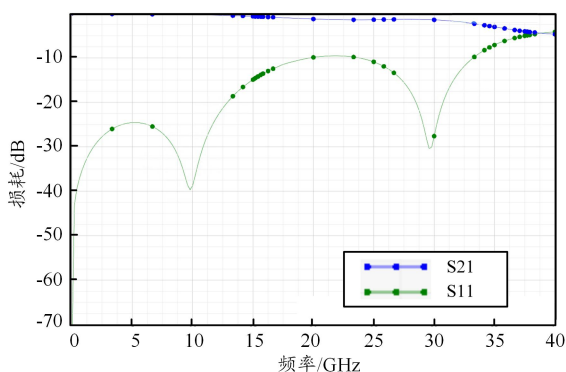
图6 接收器件焊盘到限幅放大器处的仿真结果

理方式。驱动芯片到发射器件焊盘处的仿真结果如图 7 所示。从图 7(a)可以看出, 驱动芯片的 BGA 焊盘处 BGA 焊盘处的阻抗最大值是在 56 Ω 左右, 其它区域均能控制在 ± 5 Ω 之内。从图 7(b)可以看出, 在 25 GHz 频率范围内, S11 值小于 -10 dB, 即输入回波损耗大于 10 dB; S21 在 -3 dB 处的频率是 35 GHz, 即高速信号差分线的 -3 dB 带宽为 35 GHz。发射驱动输出 50 Ω 的差分线带宽性能远优于最小带宽要求的 18.75 GHz。

经过将一阶盲埋孔设计更改为通孔设计, 得到了驱动芯片到发射器件焊盘处的仿真结果, 如图 8 所示。从图 8(a)可以看出, 最大的阻抗高达 90 Ω, 比目标阻抗 50 Ω 超出 80%, 阻抗严重失配; 从图 8(b)可以看出, 在 25 GHz 频率时, S11 值大于 -5 dB, 即输入回波损耗低于 5 dB; S21 在 -3 dB 处的频率, 从上文 2.2.3 中的 35 GHz 下降到 7.4 GHz 左右, 即高速信号差分线的 -3 dB 带宽在 7.4 GHz 左右, S21 和 S11 参数值均劣化得非常严重。由于本文的驱动芯片和限幅放大器是二合一的 BGA 焊盘芯片, 且受限于布板密度和空间, 若采用通孔设计, 将不利于信号链路就近打孔的布局, 不仅会延长高速信号的回流路径, 还会引入寄生电感效应。因此, 本文推荐采用一阶盲埋孔的 8 层板设计, 能获得较好的高频传输特性。

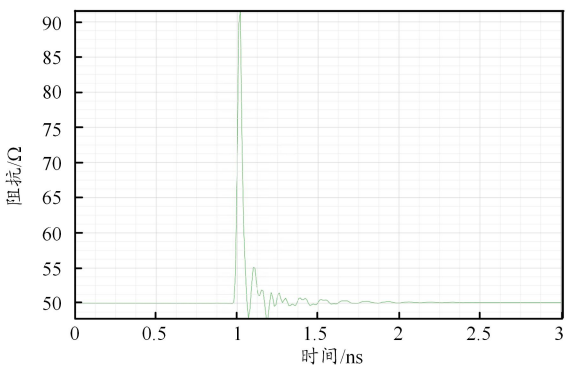


(a) TDR 仿真

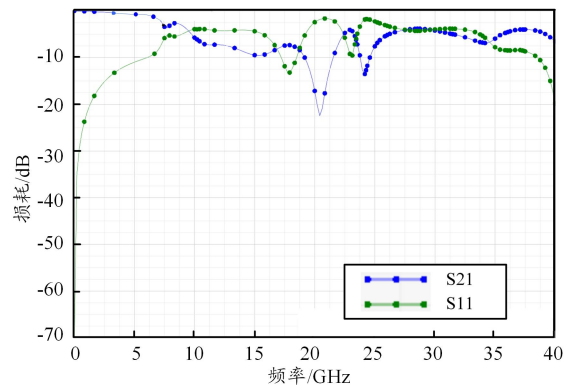


(b) S11 和 S21 仿真

图7 驱动芯片到发射器件焊盘处的仿真结果



(a) TDR 仿真



(b) S11 和 S21 仿真

图8 改为通孔设计后,驱动芯片到发射器件焊盘处的仿真结果

2.3 发射和接收软板设计优化

发射和接收软板设计图如图9所示。图中,①为发射端柔线板与PCB板连接处的焊盘;②为发射端柔线板与BOSA的发射TO连接处的焊盘;③为接收端柔线板与BOSA的接收TO连接处的焊盘;④为接收端柔线板与PCB板连接处的焊盘。该设计均采用2层板设计结构布线。具体软板布线设计思路如下:

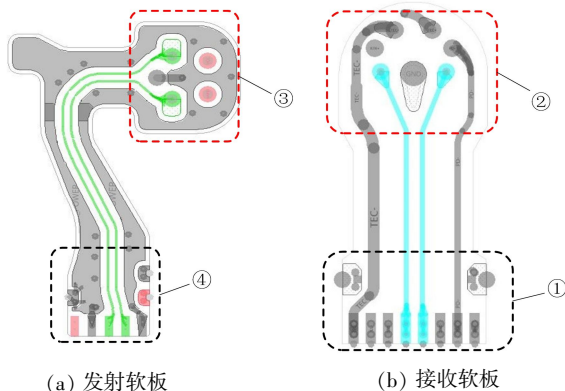


图9 发射和接收软板设计图

发射软板布线的高速信号差分线采用微带线结构设计,在与发射TO接触的接地脚部分,特别采用了加大开孔的泪滴形状设计。这种设计有利于软板与管座在焊接时充分贴合,并优化了无参考层引脚的设计,从而有效改善了高速性能。

接收软板布线的高速信号差分线采用接地共面波导结构设计,并为接地平面按小于 $1/20$ 的信号波长间距均匀打过孔,能有效减少辐射损耗和抑制高次模分量,同时也能隔离发射信号的空间耦合干扰。另外,接收软板的高速信号差分线走线采取与发射软板不共面设计,能进一步降低空间串扰影响。

3 光模块产品性能测试

3.1 光模块电口S参数测试

由于光模块金手指连接处的2对差分线存在多处阻抗不连续点,导致仿真带宽只有17.35 GHz,低于信号传输的最小带宽18.75 GHz的目标要求。根据协议^[9]要求,在0~28 GHz频率内,各频率点的差分回波损耗均不能超过相应的指标上限。本文使用矢量网络分析仪测试光模块金手指连接处的2对高速信号差分线的实际回波损耗情况,以验证是否满足SFF-8731标准中TP1和TP4对应的发射端回波损耗(SDD11)和接收端回波损耗(SDD22)的要求。实物装配图如图10所示。样品测试结果如图11所示。可以看出,实测结果中各频率均未超过指标上限,符合协议要求。

魏兴, 陈聪, 罗懿宸, 等: 25G ONU 光模块的高速性能设计与实现

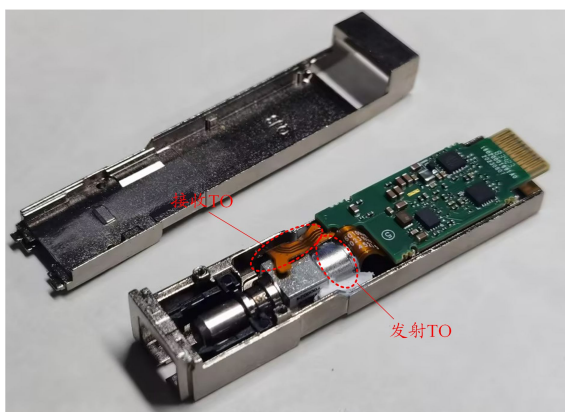


图 10 25G ONU 光模块实物装配图

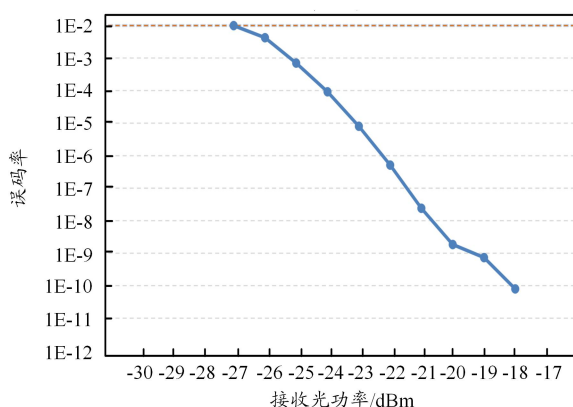


图 13 接收光信号误码率测试图

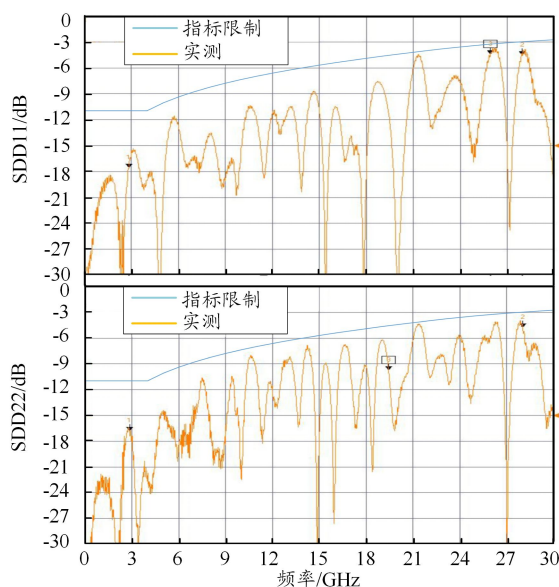


图 11 金手指侧差分线回波损耗测试图

3.2 光模块指标测试

本文制作了 25G ONU 光收/发模块, 并借助宽带示波器和误码仪对其进行了测试。发射眼图的测试结果如图 12 所示。测试结果表明: 在 $5\text{E}-5$ 的 Hit Ratio 下的眼图余量大于 30%, 抖动均方值在 2 ps 左右, 消光比大于 5 dB。在 $1\text{E}-2$ 的误码率条件下, IEEE802.3ca 协议要求 25G 接收灵敏度小于 -24 dBm 。实物接收误码率的测试结果如图 13 所示。可以看出, 在 $1\text{E}-2$ 的误

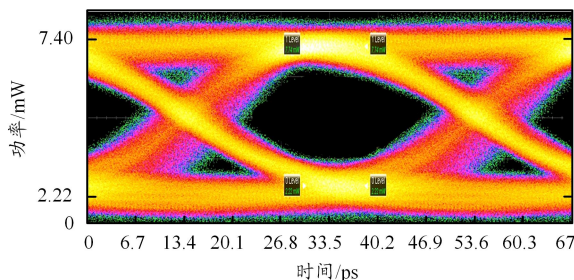


图 12 发射光信号眼图性能测试图

码率条件下的最小接收光功率是 -27 dBm , 即接收灵敏度是 -27 dBm , 且串扰小于 0.5 dB。整个光模块的总功耗低于 2 W, 性能突出。

4 结束语

本文设计了一种具有高速性能的 25G ONU 光模块, 并通过专业软件对其进行了设计和优化: 1) 对阻抗设计进行了深入优化, 优化模块涵盖 PCB 金手指、耦合电容、BGA 焊盘和软板连接焊盘等, 旨在借助仿真模型的结果, 将阻抗失配引起的变化量降至最低。2) 鉴于器件的独特特性, 本文尤其注重了连接软板的精巧设计。在综合考量结构应力、高速布线布局以及空间相对位置等多重因素后, 以实现减少模块空间磁场耦合串扰的潜在风险为目标, 对设计方案进行了深度优化。3) 通过使用矢量网络分析仪、宽带示波器以及误码仪等专业的测试设备, 验证了产品的性能。测试结果表明: 本文设计的 25G ONU 光模块的总功耗小于 2 W, 发射眼图性能和接收灵敏度等关键指标性能突出, 符合行业标准要求。

参考文献:

- [1] IEEE. 50G-EPON Task Force, Physical layer specifications and management parameters for 25 Gb/s and 50 Gb/s passive optical networks: IEEE P802.3ca: 2018[S/OL]. (2019-08-06) [2023-12-15]. <http://www.ieee802.org/3/ca/>.
- [2] 聂嵩, 贾建刚, 刘超. 400G 光收发模块优化设计[J]. 光通信技术, 2023, 47(5): 53-57.
- [3] 陈莹, 宋文泰, 何慧敏, 等. 4x25 Gb/s 光电收发一体模块封装的设计与实现[J]. 光通信技术, 2021, 45(4): 22-26.
- [4] 于争. 信号完整性揭秘[M]. 北京: 机械工业出版社, 2013: 219-245.
- [5] SFF Committee. SFF-8431, SFP+ 10Gb/s and low speed electrical interface[S/OL]. (2009-06-06) [2023-12-15]. <http://www.snia.org/sff/specifications>.