

E1 非结构化伪线仿真的自适应时钟及时延对称设计与实现

郑 乐, 高荣亮

(中国电子科技集团公司 第三十四研究所, 广西 桂林 541004)

摘要:为实现分组交换网络与现存的电路交换网络兼容,使用伪线仿真技术屏蔽电路交换网络与分组交换网络的差异,实现 2 种网络无缝连接。以伪线仿真、E1 伪线仿真协议为基础,重点介绍了一种伪线仿真中自适应时钟的实现方法和双向时延不对称的解决方法,实验数据表明该方法可以将 E1 伪线仿真双向时延控制在 $2\ \mu\text{s}$ 内。

关键词:边缘到边缘的伪线仿真; E1; 自适应时钟; 时延对称

中图分类号: TN914 **文献标志码:** A **文章编号:** 1002-5561(2021)08-0047-05

DOI: 10.13921/j.cnki.issn1002-5561.2021.08.010

开放科学(资源服务)标识码(OSID):



Design and implementation of adaptive clock and time delay symmetry for E1 structure-agnostic pseudowire simulation

ZHENG Le, GAO Rongliang

(The 34th Research Institute of CETC, Guilin Guangxi 541004, China)

Abstract: In order to realize the packet switched network compatible with the existing circuit switched network, the pseudo wire simulation technology is used to shield the difference between the circuit switching network and the packet switching network, and the seamless connection between the two networks is realized. Based on the pseudo wire simulation and E1 pseudo wire simulation protocol, This paper introduces the implementation method of an adaptive clock in pseudo wire simulation and the solution to the asymmetry of bidirectional delay. The experimental data show that this method can control bidirectional delay in E1 pseudo wire simulation within $2\ \mu\text{s}$.

Key words: pseudo-wire emulation edge to edge; E1; adaptive clock; time delay symmetry

0 引言

近年来,以 IP 网络、MPLS 网络为代表的包交换网络以其自身的优势被广泛使用,网络规模不断扩张、迅猛发展。传统的通信网在即将升级换代、拓展应用过程中面临抉择:是建立全新的网络,还是充分利用现有或公共资源解决老设备的接口兼容问题。由于全新的网络建立需要花费较多时间,针对这种情况,为充分利用现有网络资源,边缘到边缘的伪线仿真(PWE3)技术应运而生^[1]。PWE3^[2]是一种端到端二层业

务承载技术,它主要在包交换网络的 2 台运营商边缘设备(PE)中通过隧道尽可能真实地模拟异步传输模式(ATM)、帧中继、以太网、低速时分复用(TDM)电路和同步数字体系(SDH)等业务,使用户边缘设备(CE)端的二层数据在包交换网络中透明传递。PWE3 可以适应许多应用环境,如可应用于 E1 业务。E1 作为较早使用、成熟可靠的数据输入/输出接口,仍现存于许多设备中。本文实现 E1 承载在 MPLS 网络上的伪线仿真,并重点介绍在伪线传输时 E1 数据的时延问题。

1 E1 业务的 3 种成帧方式

E1 采用同步时分复用技术将 30 个语音信道和 2 个控制信道复合在一条 $2.048\ \text{Mb/s}$ 的高速信道上。E1 有成帧、成复帧与不成帧 3 种方式:在成帧的 E1 中第 0 时隙用于传输帧同步数据,其余 31 个时隙可以用于传输有效数据;在成复帧的 E1 中,除了第 0 时隙外,

收稿日期:2021-03-08。

作者简介:郑乐(1988—),男,汉族,广西桂林人,硕士,工程师,现就职于中国电子科技集团公司第三十四研究所,从事 FPGA 通信协议、嵌入式网络协议开发,主要研究方向为 SDH 传输网、IP 分组交换、MSTP 和 MPLS 等通信协议的实现与应用。



第 16 时隙是用于传输信令的,只有第 1~15、第 17~31 共 30 个时隙可用于传输有效数据;而在不成帧的 E1 中,所有 32 个时隙都可用于传输有效数据。

2 E1 非结构化伪线仿真及自适应时钟处理

E1 伪线仿真有非结构化仿真模式(SAToP)协议^[3]和结构化仿真模式(CESoPSN)协议^[4]。其中,非结构化 SAToP 协议不改变数据结构,可以将数据流进行简单透传。该协议不考虑从 TDM 端口上收到的数据帧结构,将所有比特都封装到伪线仿真报文中发送出去。对端收到后,将 TDM payload 从伪线仿真报文中取出,原封不动地发给 TDM 设备。

E1 伪线报文通过 UDP、L2TPv3 和 MPLS 帧等承载并传输,其中,分组传送网(PTN1)和 PTN2 之间通过 MPLS 帧承载传输的 E1 电路仿真示意图如图 1 所示。以外部 E1 输入→PTN1→PTN2→对外 E1 输出为例,PTN 的 E1 伪线仿真传输处理如下:①PTN1 作为外部 E1 输入的接收者和伪线仿真数据的发送者,接收到 E1 比特流后,将其封装成以太网报文发送。以数据切片长度为 64 字节为例,PTN1 收满 64×8 bit E1 数据后就将 E1 数据封包发送;②PTN2 作为 E1 伪线仿真数据的接收者和对外 E1 比特流的发送者,接收到 E1 伪线仿真数据后,放入先入先出(FIFO),然后依照本地 2M 时钟频率对外输出 E1 比特流。

基于非结构化伪线仿真的 E1 传输存在时钟不同步问题:如 PTN1 接收到的 E1 时钟频率为 $Freq_{Rx}$,

PTN1 将 E1 数据传输至 PTN2,PTN2 无法获取与 PTN1 的输入 E1 完全一致的 $Freq_{Rx}$ 频率,可以采用自适应实时调整输出 E1 时钟 $Freq_{Tx2}$ 。

自适应时钟调整处理方式:在 E1 伪线仿真的接收端 PTN2 引入一个 FIFO。FIFO 分为 3 段,从上到下以 FIFO_HIGH、FIFO_INIT 和 FIFO_LOW 为分界线,这 3 个分界线对应 3 种时钟 CLK_{2M+} 、 CLK_{2M} 和 CLK_{2M-} 。其中, CLK_{2M} 最接近标准 2.048 MHz 频率,由本地晶振分频获得; CLK_{2M+} 以 CLK_{2M} 为基准,频率略大于 CLK_{2M} ; CLK_{2M-} 以 CLK_{2M} 为基准,频率略小于 CLK_{2M} 。

如果 PTN 不自适应调整,持续使用 CLK_{2M} 时钟,会存在下列问题:①如果 CLK_{2M} 频率更高,表示 PTN2 输出的 E1 数据流快于 PTN1 接收的 E1 数据流,若不自适应调整 PTN2 的输出 E1 时钟,FIFO 存储的数据会越来越少直至 FIFO 为空,导致 PTN2 输出的 E1 数据流暂时性断流出现 E1 LOS;②如果 CLK_{2M} 频率更低,表示 PTN2 输出的 E1 数据流慢于 PTN1 输入的 E1 数据流,若干预,FIFO 存储的数据会越来越多直至 FIFO 为满,导致 E1 数据溢出丢失。

因此,接收端 PTN 根据 FIFO 深度动态调整发送 E1 数据的快慢以避免 E1 断流或溢出。以 PTN2 接收来自 PTN1 的 E1 数据处理为例,PTN2 对 FIFO 的处理规则如下:①PTN2 第一次接收到 E1 以太网包时,将解析出的 E1 数据暂存至 FIFO 中,到达 FIFO_INIT 分界线后以 CLK_{2M} 频率对外输出 E1;②PTN2 FIFO 存储的数据大于高位线 FIFO_HIGH 时,使用更高频率

时钟 CLK_{2M+} ,加快 E1 数据输出,使 FIFO 存储数据逐渐减少;③PTN2 FIFO 存储的数据低于低位线 FIFO_LOW 时,使用更低频率时钟 CLK_{2M-} 减慢 E1 数据输出,使 FIFO 存储数据逐渐增加;④PTN2 FIFO 存储数据大于低位线 FIFO_LOW 且小于高位线 FIFO_HIGH 时,则使用时钟 CLK_{2M} 。

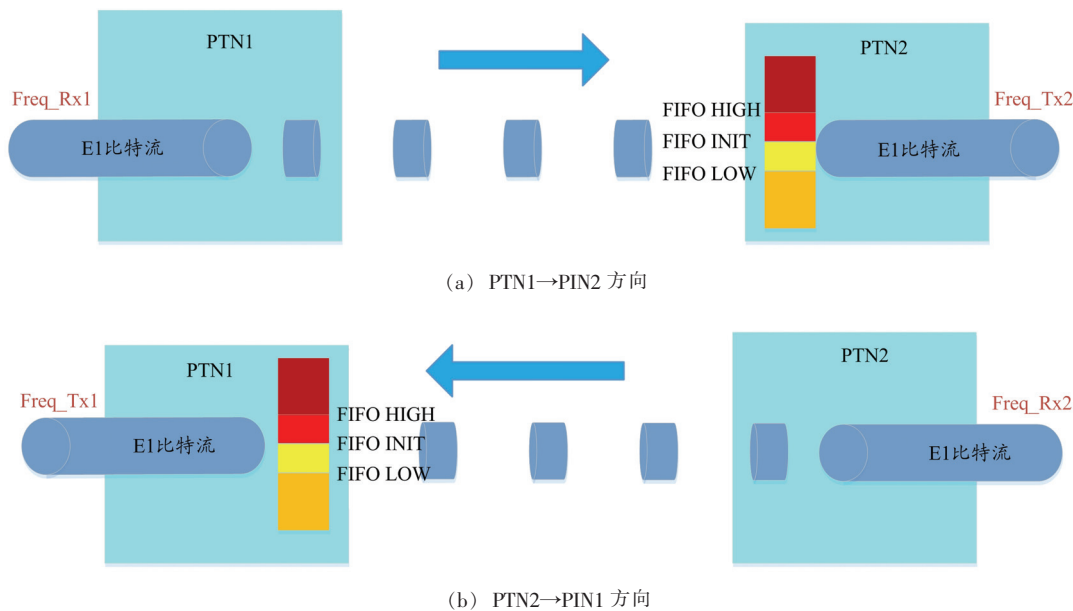


图 1 PTN E1 双向传输

上述设计可以保证 E1 经 PTN E1 伪线仿真传输时不会出现 E1 数据丢失或告警的情况,可以长时间锁定源端 E1 频率。在非结构化封装下,本文分别测试了不同 E1 信号频偏时 E1 伪线仿真传输信号的质量和可靠性,结果如表 1 所示。在所有的测试项中,E1 伪线仿真误码率均小于 10^{-9} ,传输速率为 2.048 MHz,拥有较高的可靠性及实用价值。从表 1 可以看出,在非结构化封装下,频偏为 ± 50 ppm、0 ppm,E1 信号均能正常传送,最大偏差为 0.2 ppm,能够真实地模拟信号的频率特征。

表 1 非结构化封装下,E1 伪线仿真性能指标

输入频偏	E1 最大输出频偏	E1 最小输出频偏
+50 ppm	50.1 ppm	49.8 ppm
-50 ppm	-49.8 ppm	-50.1 ppm
0 ppm	0.1 ppm	-0.1 ppm

3 双向传输时延对称

3.1 E1 时延成因分析

根据 FIFO 存储数据量的多寡实时调整输出速率,可以锁定源端 E1 频率,但是极易造成双向时延不对称。图 1 中,对于 PTN1 和 PTN2 之间的 E1 电路仿真传输,存在 PTN1 $\rightarrow$ PTN2、PTN2 $\rightarrow$ PTN1 这 2 种收发方向。以 PTN1 $\rightarrow$ PTN2 发送方向为例,E1 传输的时延有设备传输的时延及传输线路(包括伪线仿真模块暂存的数据)造成的时延。由于 PTN 时延为纳秒级且将伪线仿真报文配置为高优先级后,PTN 的双向时延差极低,而 E1 速率较低,暂存 1 bit 数据相当于 0.5 μ s 时延,故 E1 伪线仿真时延约等于 PTN2 FIFO 存储的数据、PTN1 暂存的数据以及线路存储的以太网包内承载的 E1 数据三者的传输时间之和,即合计的 bit 数乘以 E1 1bit 传输时延(0.5 μ s)。

除了第一次接收到 E1 伪线仿真数据使用了中位线 FIFO_INIT,后续 E1 伪线仿真处理使用低位线 FIFO_LOW 及高位线 FIFO_HIGH。运行过程中,E1 数据源的数据从 PTN1 进入、PTN2 获取。若 PTN2 的 E1 发送时钟频率高于 E1 数据源时钟,则 FIFO 存储的数据量相对靠近低位线,时延相对较低(因为 PTN 2 FIFO 中存储数据少);若 PTN2 的 E1 发送时钟频率慢于 E1 测试时钟,则 FIFO 存储的数据量相对靠近高位线,时延相对偏高(因为 PTN 2 FIFO 中存储数据多)。

当 2 台 PTN 设备的 E1 发送时钟频率相对同一

E1 输入信号源的频率存在偏差,则会导致 E1 双向传输时延偏差,若出现下列情况时,偏差会更大:①PTN1 的输出 E1 时钟频率 $\text{Freq_Tx1} >$ 外部 E1 输入时钟频率 FreqRx1 ;②PTN2 的输出 E1 时钟频率 $\text{Freq_Tx2} <$ 外部 E1 输入时钟频率 FreqRx1 。

基于以上分析,在 E1 传输过程中,从 E1 接收、封装、以太网发送和接收、FIFO 处理和 E1 发送整个方向与反方向,若有 2 bit 的 E1 数据的先后偏差,就会导致 1 μ s 的双向时延偏差;4 bit 的偏差就会导致 2 μ s 双向实验偏差。例如:高精度时间同步协议(PTP) over E1,要求 E1 双向时延差不大于 2 μ s,而在 FIFO_HIGH 等于 1100,FIFO_LOW 等于 900,数据切片长度为 64 字节时,双向时延差可达数百微秒,无法满足 PTP over E1 所需的精度。

3.2 仿真模拟及分析

PTN E1 伪线仿真接收 FIFO 存储数据量变化示意图如图 2 所示。E1 数据传输速度相对以太网传输为一个相对缓慢的过程,以太网搬运伪线仿真 E1 数据相对快速,故 FIFO 存储数据量变化的过程为收到以太网搬运的数据,FIFO 数据存储量迅速上涨,同时持续对外输出,数据存储量缓慢下降的反复过程。若在 PTN2 的 CLK_2M 时钟频率高于 PTN1 输入 E1 数据流的频率的情况下,伪线仿真开始执行时,FIFO 数据量到达 FIFO_INIT 门限后持续输出数据,运行一定时间后数据存储量的最低点会低于 FIFO_LOW,且低于 FIFO_LOW 门限立即触发慢时钟 CLK_2M-,之后接收到以太网数据 FIFO 数据存储量再次快速上升。多次

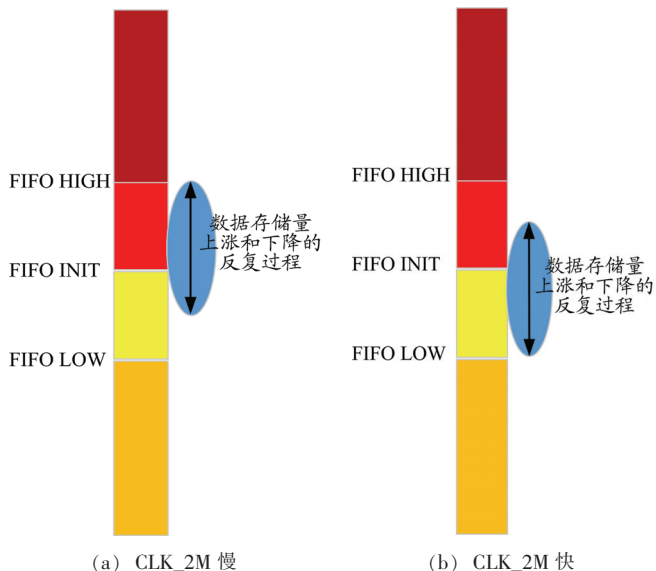


图 2 PTN E1 伪线仿真接收 FIFO 存储数据量变化示意图

循环反复后,因为每次低于 FIFO_LOW 会触发慢时钟使得暂存的数据量相对缓慢增加,故在数据切片长度不大于 FIFO_HIGH 与 FIFO_LOW 之差时,FIFO 存储的数据量最低点会逐渐上移并在 FIFO_LOW 门限附近徘徊,一定时间后 FIFO 数据量变化相对稳定。同理可分析出 PTN2 的 CLK_2M 时钟频率低于 PTN1 输入 E1 数据流的频率的情形。

FIFO 存储数据容量变化图如图 3 所示。设置数据切片长度为 128 字节,FIFO_INIT 初始发送门限为 1200,FIFO_HIGH 上限为 1300,FIFO_LOW 下线为 1100,进行仿真模拟。起始时接收端 FIFO 内无 E1 数据,随着时间的推移逐渐接收到远端传输来的数据,当 FIFO 存储的数据达到初始门限 FIFO_INIT 后开始持续输出 E1 数据并不断接收来至远端的数据。当本地 E1 时钟频率相对远端较高时,若 FIFO 存储的数据量在门限 FIFO_HIGH 与 FIFO_LOW 之间,FIFO 数据输出频率大于输入频率,FIFO 数据量逐渐下降,直至存储数据量小于 FIFO_LOW,进入慢时钟模式,转变为 FIFO 数据输出频率低于输入频率,FIFO 数据量短暂上移。故本地时钟相对远端快时,因为 FIFO 存储量在 FIFO_HIGH 与 FIFO_LOW 之间,输出数据频率高于输入数据,需要部分时间使 FIFO 存储仿真数据量低于 FIFO_LOW 进入慢时钟模式,以维持数据收发平衡。数据输出频率高低交替,以保证长期平均输出速率约等于远端 E1 输入速率,在 FIFO 存储的数据量趋势为向下偏移(在 FIFO_LOW 附近震荡),FIFO 数据量的最高点远小于 FIFO_HIGH。同理,可得本地 E1 时钟频率相对远端较低时,FIFO 数据存储量相对向上偏移,并在 FIFO_HIGH 附近震荡并长期保持稳定,FIFO 数据量的最低点远大于 FIFO_LOW。在 PTN1 与 PTN2 之间进行 E1 伪线仿真传输时,若 PTN2 的本地时钟频率高

于 PTN1 的 E1 输入频率,而 PTN1 的本地时钟频率高于 PTN2 的 E1 输入频率,可以判断出 PTN2 本地 FIFO 存储的数据量在 FIFO_LOW 附近,而 PTN1 在 FIFO_HIGH 附近。相对于 PTN1,PTN2 的平均数据存储量少,故 PTN1→PTN2 方向的 E1 伪线仿真时延小于 PTN2→PTN1 方向,从而出现双向时延差异。

本文设置 FIFO_HIGH、FIFO_LOW 门线之差等于数据切片长度并长时间运行,此时 FIFO 存储的数据量最低点会在 FIFO_LOW 门限附近,最高点在 FIFO_HIGH 门限附近。双向 2 台 PTN 设备 FIFO 存储的数据量接近,故时延接近。

本文截取数据传输相对稳定后 100000 个时钟周期内的仿真数据,设置 FIFO_HIGH 与 FIFO_LOW 之差为切片长度,分别对数据切片长度为 1024 字节、256 字节和 64 字节进行分析,FIFO_HIGH 与 FIFO_LOW 的平均值为 1200,本地 E1 时钟慢 31 ppm,得到不同分片长度下 FIFO 存储量变化示意图如图 4 所示。由于接收端每隔一定时间接收到来自远端的 E1 数据报文,接收后 FIFO 存储的数据量快速上升,故从最低点至最高点十分陡峭近乎竖线;接收端还需持续输出 E1 数据,所以 FIFO 存储的数据量会缓慢下降。当设置 FIFO_HIGH 与 FIFO_LOW 之差为切片长度时,可见 FIFO 存储的数据量在 FIFO_HIGH 与 FIFO_LOW 之间上下浮动,因此当不同的设备存在时钟差异时,设置 FIFO_HIGH 与 FIFO_LOW 门线之差等于数据切片长度,减小了不同设备间数据的存储量偏差。

图 4 仿真时截取的 100000 个时钟周期内的仿真数据统计如表 2 所示。结合图 4 和表 2 可知,不同的切片长度,设置的高低门限会相应变化,切片长度越大,门限差越大,FIFO 存储的数据振幅也越大。由于仿

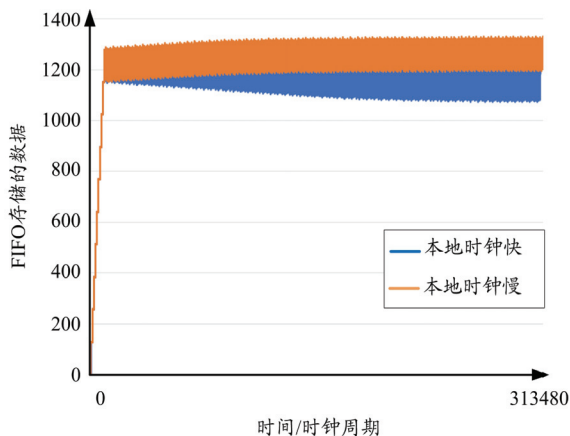


图 3 FIFO 存储数据容量变化图

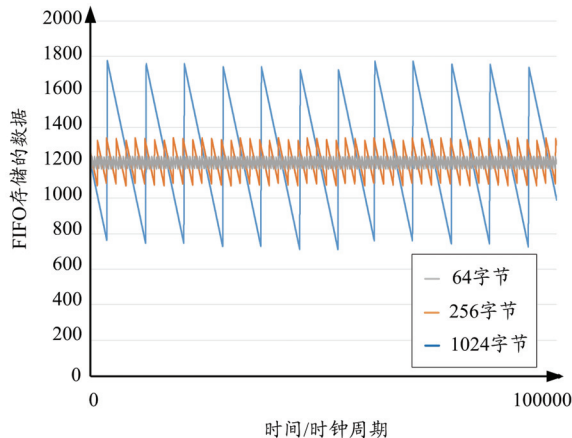


图 4 不同分片长度下 FIFO 存储量变化示意图

表 2 不同切片长度 FIFO 数据存储量统计

切片长度/ 字节	门限			数据存储量		
	FIFO_HIGH	FIFO_LOW	中间值	最高值	最低值	平均值
64	1232	1168	1200	1235	1167	1201
256	1328	1072	1200	1339	1073	1205
1024	1712	688	1200	1773	714	1242

表 3 E1 伪线仿真性能指标

方向		切片长度 /字节	FIFO_HIGH	FIFO_LOW	时延 /μs
1	PTN1→PTN2	64	1100	900	3867
	PTN2→PTN1				4412
2	PTN1→PTN2	256	1128	872	4535
	PTN2→PTN1				4524
3	PTN1→PTN2	128	1064	936	4266
	PTN2→PTN1				4263
4	PTN1→PTN2	64	1032	968	4138
	PTN2→PTN1				4137
5	PTN1→PTN2	32	1016	984	4074
	PTN2→PTN1				4074
6	PTN1→PTN2	16	1008	992	4034
	PTN2→PTN1				4034
7	PTN1→PTN2	8	1004	996	4026
	PTN2→PTN1				4026
8	PTN1→PTN2	4	1002	998	4018
	PTN2→PTN1				4018
9	PTN1→PTN2	512	744	1256	5081
	PTN2→PTN1				5073
10	PTN1→PTN2	1024	488	1512	6158
	PTN2→PTN1				6133
11	PTN1→PTN2	1280	360	1640	6684
	PTN2→PTN1				6621

真时设置本地时钟慢 31 ppm, 故数据振幅范围偏上, 偶尔存储量高于高门限, 以进入快时钟模式平衡本地时钟慢的影响达到自适应时钟的目的。另外, 切片长度越大, 数据存储量一次性增长的幅值越大, 高出高门限的幅值也越大; 反之切片长度越小, 高出高门限的幅值也越小。取 100000 个时钟周期内 FIFO 存储的数据量的平均值, 可以看出切片长度越大, FIFO 存储的数据量的平均值在相同情形下越偏离门限的中间值, 导致时延差越大。

3.3 实物测试

本文搭建 PTN 环境进行 E1 伪线仿真时延实测, 结果如表 3 所示。IFO_HIGH 与 FIFO_LOW 门限之差远大于数据切片长度时, 易出现一台 PTN 设备 FIFO 存储的数据量在 IFO_HIGH 在附近震荡, 另一台在 FIFO_LOW 附近震荡, 造成双向延时差距极大。调整 IFO_HIGH、FIFO_LOW 门限使高低门限之差等于数据切片长度, 双向时延差立即缩小接近。数据切片长度越短, 运行过程中 FIFO 存储的数据量的振幅越小, 时延越趋于稳定, 时延差也越小。

4 结束语

本文针对 E1 非结构化伪线仿真, 在现场可编程逻辑门阵列平台上设计并实现了一种 E1 伪线仿真模块, 特别介绍了自适应时钟、双向时延对称等功能, 实验证明本设计具有灵活的使用方式和扩展能力、较高的恢复时钟精度和较一致的双向时延。E1 伪线仿真模块在搭建环境下验证了其自适应时钟、双向时延功能。下一步将测试复杂 PTN 环境下多场景的 E1 伪线仿真的性能。

参考文献:

[1] 何宝宏. IP 网上的多业务仿真技术[J]. 电信工程技术与标准化, 2002 (5): 24-26.
[2] 李朝举. 边缘到边缘的伪线仿真(PWE3): 1. 框架结构[J]. 中国数据通信, 2003(5): 90-95.
[3] VAINSHTEIN A, STEIN Y J. Structure-agnostic time division multiplexing (TDM) over packet (SAToP): RFC4553-2006[S]. [S.l.]: Internet Engineering Task Force(IETF), 2006.
[4] VAINSHTEIN A, METZ E, SASSON I, et al. Structure-aware time division multiplexed (TDM) circuit emulation service over packet switched network (CESoPSN), RFC5086-2007[S]. [S.l.]: Internet Engineering Task Force(IETF), 2007.