

SDH 中 E1 支路的去同步电路设计

姚秋瑞, 黄海生, 李鑫, 王雪

(西安邮电大学 电子工程学院, 西安 710121)

摘要:在同步数字体系(SDH)中,定位过程中的指针调整会使输出信号产生较大的抖动,为保证信号的质量,提出一种用于 SDH 中 E1 支路接收端去同步电路。该电路由自适应滤波器和中等带宽的二阶数字锁相环(PLL)组成。PLL 中的数控振荡器由串行累加器和双模分频器组成,采用鉴频鉴相并置的方法,并使用了数字滤波器。通过建立数学模型,对其工作过程及输出抖动进行分析。实验结果表明其性能指标可以满足 ITU-T 的相关标准。

关键词:同步数字体系;自适应滤波器;数字锁相环;抖动

中图分类号:TN492 **文献标识码:**A **文章编号:**1002-5561(2020)01-0031-04

DOI:10.13921/j.cnki.issn1002-5561.2020.01.008

开放科学(资源服务)标识码(OSID):



Design of de-synchronous circuit of E1 tributary in SDH

YAO Qiurui, HUANG Haisheng, LI Xin, WANG Xue

(School of Electronic Engineering, Xi'an University of Posts and Telecommunications, Xi'an 710121, China)

Abstract: In synchronous digital hierarchy (SDH), pointer adjustment during positioning will cause great jitter of output signal. In order to ensure the quality of signal, a de-synchronization circuit which is used in the receiving end of E1 tributary in SDH is proposed. The circuit contains an adaptive filter and a second-order digital phase-locked loop (PLL) with medium bandwidth. The numerical control oscillator in PLL consists of a serial accumulator and a dual-mode divider. It adopts the method of frequency discrimination and phase discrimination in parallel, and uses a digital filter. By establishing mathematical model, its working process and output jitter are analyzed. Simulation results show that the performance index meets the related standard of ITU-T.

Key words: synchronous digital hierarchy; adaptive filter; digital phase-locked loop; jitter

0 引言

在现代通信网中,主要的组成部分是传输系统^[1]。同步数字体系(SDH)是目前数字传输系统的主流,在卫星通信、微波通信和光纤通信中有着广泛的应用^[2]。在 SDH 系统中,由于各类噪声和映射过程中的码速调整,特别是定位过程中的指针调整,输出信号会产生较大的抖动。为了保证信号的质量,需要在接收端进行去同步处理,使输出信号满足 ITU-T 的相关标准。

去同步电路主要分为 2 类:一类是由自适应滤波器和中等带宽的锁相环(PLL)构成^[3],另一类仅由一个带宽很窄的数字 PLL 构成^[4]。由于抖动的带宽很窄,很难用 PLL 直接滤掉,本文使用第一类去同步电路,根据自适应滤波器^[5]的输出特点对数字 PLL 进行设计与研究。

1 去同步电路原理

去同步电路的目的是去除抖动引起的输出信号的低频相位偏移,由缓存器、自适应滤波器和 PLL 组

收稿日期:2019-05-28。

基金项目:国家自然科学基金资助项目(61661049)资助;西安邮电大学研究生创新基金资助项目(CXJJLY2018021)资助。

作者简介:姚秋瑞(1995-),女,陕西西安人,硕士研究生,现就读于西安邮电大学电子工程学院电路与系统专业,研究方向为数字集成电路,主要从事 SDH 中去同步电路的数字 PLL 的原理、数学模型及电路结构的研究。

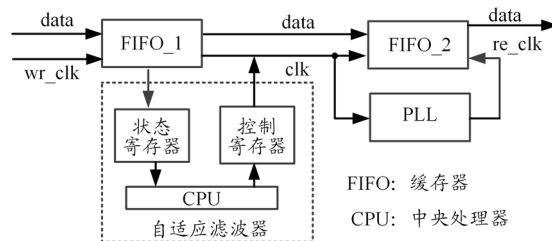


图 1 去同步电路结构图

姚秋瑞, 黄海生, 李鑫, 等: SDH 中 E1 支路去同步电路设计

成,如图 1 所示。首先,用带抖动的时钟 wr_clk 将数据 $data$ 写入缓存器 FIFO_1 中,状态寄存器将 FIFO_1 的空满状态传送给 CPU,经过自适应算法进行计算后,给出合适的扩散周期;然后,由控制寄存器对 FIFO_1 的读时钟进行相应的处理,得到扩散后的时钟 clk ,使抖动分量大大减少,再用 clk 将 FIFO_1 中的数据读出,并写入缓存器 FIFO_2 中,同时将 clk 送入 PLL 进行处理;最后,用平滑后的时钟 re_clk 将 FIFO_2 中的数据读出来,最终达到去同步的目的。

2 自适应滤波器

自适应滤波器能周期性地减少因指针调整引起的相位变化,当检测到指针调整脉冲时,控制输出信号延迟或加速一个比特(一次指针调整需累计延时或加速 8bit),可以避免

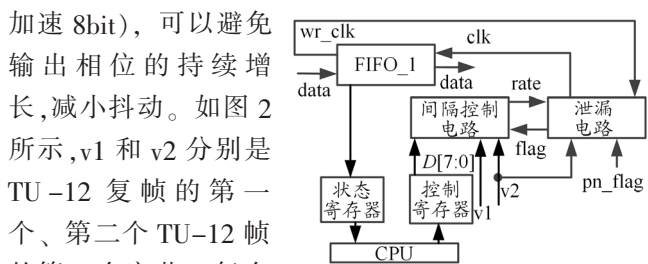


图2 自适应滤波器结构图

从状态寄存器中读取 FIFO_1 的空满状态,根据自适应算法算出合适的比特泄露率 D ,再将该值传入控制寄存器来控制间隔控制电路,间隔控制电路根据 D 以及泄露标志 $flag$ 来对 $v1$ 计数;当计满 $8 \times D$ 次 $v1$ 时,泄漏间隔 $rate$ 拉高(保持高电平的时间为本帧 $v2$ 到来到下帧 $v1$ 结束时)。泄露电路根据 $rate$ 和正负调整标志 pn_flag 来对 FIFO_1 的写时钟 wr_clk 进行处理。泄露电路中设有一个可逆计数器来对需要扣除或插入的比特数进行存储,每进行一次正调整,可逆计数器加 8,负调整则减 8;在每次 $rate$ 为 1 时的 $v2$ 下降沿紧接着扣除或插入 1bit,相应的可逆计数器减 1 或加 1,直到计数器又回到初始值,得到 FIFO_1 的读时钟 clk 。所以,泄露 1bit 的时间为 $8 \times D \times 500 \mu s$ 。又因为 D 为 8 位且 D 不能为 0,最快 8 复帧泄露 1bit,最慢 255×8 复帧泄露 1bit。

3 数字 PLL

由于自适应滤波器将指针调整所引起的 8 UI 相位跃变扩散成了 8 个 1 UI 的相位跃变,并被分散在部分 $v1$ 间。数字 PLL 需要将 1 UI 的相位跃变进行平滑处理,且输出抖动要满足相关标准,除此之外,PLL 要

能在光纤未接通的情况下输出一个 2.048 MHz 的稳定时钟。数字 PLL 由数控振荡器、鉴频鉴相器、环路滤波器^[6]、鉴频鉴相时间产生电路和鉴频鉴相结果存储电路组成,结构图如图 3 所示。其中, $v1$ 为间隔 500 μs 的指示字节脉冲, $dplwr$ 、 $dplre$ 分别为含有抖动、PLL 平滑处理后的 2.048 MHz 时钟信号, dco 为 58.32MHz 的 PLL 外接晶体振荡器信号。

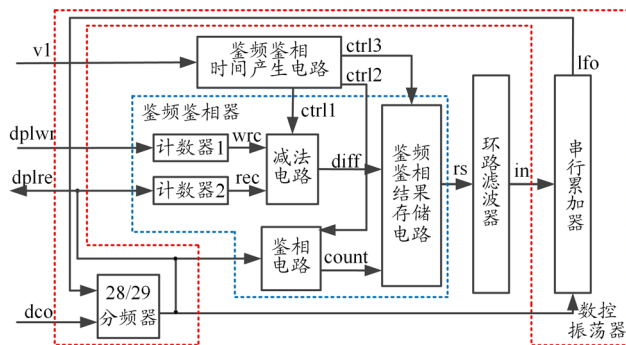


图3 数字 PLL 结构图

数字 PLL 基本数学模型为:

$$f_{out} = f_{ref} / (M + frac) \quad (1)$$

其中, f_{out} 为 PLL 的输出频率; $f_{ref}=58.32 \text{ MHz}$ 为 dco 的频率; $M+frac$ 为分频比,由于 dco 要分频到目标频率为 2.048 MHz 的时钟,分频比需设为 28.4765625;分频比的整数部分 M 为固定值 28; $frac$ 为小数部分,根据鉴频鉴相结果的不同会发生改变。

3.1 数控振荡器

数控振荡器实际上是一个数控分频器,即将本地高频时钟按要求进行分频,产生本地时钟信号 $dplre$,也就是 FIFO_2 的读时钟 re_clk 。

本文设计中的数控振荡器由 17 级串行累加器和模 28/29 分频器组成^[7]。串行累加器由环路滤波器输出 17 位的 in 控制, lfo 为最高位的进位输出。若将最高位作为小数的第一位,串行累加器相当于内部整体加了一个小数 $frac$,且

$$frac = \sum_{k=1}^{17} a_k 2^{-k} \quad (2)$$

其中, k 表示串行累加器的级数,取值范围为 1~17; a_k 为每一级的输入 in ,为 0 或 1, in 中的 $a_1 \sim a_6$ 为固定值 011110。根据式(2)可得 $0.46875 < frac < 0.5$,剩下 11 位随着指示字节 $v1$ 的到来每 500 μs 更新一次,相当于每 500 μs 分频比进行一次微调。

数控振荡器中的模 28/29 计数器对 dco 进行计数,输出 dco 的 4 分频、8 分频、16 分频和 28/29 分频,

其中 28/29 分频作为 PLL 的输出 dplre。lfo 控制分频器的模数, 当 lfo 为 0、1 时分别进行模 28、29 计数, 使得在 500 μ s 内分频比不断变化, 取平均数作为数控振荡器的输出频率。在串行累加器 500 μ s 内的 i 次输出中, lfo 为 1 的次数为 $[i \cdot \text{frac}]$, 即是进行 29 分频的次数。数控振荡器的输出 dplre 是频率为 f_{ref}/M 和 $f_{\text{ref}}/(M+1)$ 的组合, 所以周期分别为 M/f_{ref} 和 $(M+1)/f_{\text{ref}}$ 。不管进行 M 分频还是 $M+1$ 分频, 时间都会增加 M/f_{ref} , 只不过若 lfo 为 1, 时间还要增加额外的 $1/f_{\text{ref}}$ 。

数控振荡器的输出 dplre 的第 i 个时钟上升沿到来的时间为:

$$\tau_i = i \cdot M / f_{\text{ref}} + [i \cdot \text{frac}] / f_{\text{ref}} \quad (3)$$

其中, i 从 0 开始, $[\cdot]$ 表示取整。

3.2 鉴频、鉴相器

鉴频、鉴相器的作用是在 2 个 v1 间动态地比较 dplwr 和 dplre 之间的频率和相位差异, 并将结果发送给环路滤波器, 从而控制数控振荡器。工作原理: 首先, 鉴频、鉴相时间产生电路对 v1 和 dplre 做同步处理, 得到 ctrl1、ctrl2 和 ctrl3 作为鉴频、鉴相时刻。然后, 进行鉴频、鉴相, 电路计算 2 个 v1 间差了 2.048 MHz、58.32 MHz 的个数。与十进制类似, 28.4765625 个 58.32 MHz 的脉冲数作为一个 2.048 MHz 的进位数, 形成进位关系。鉴频过程如下: 首先, 由计数器 1 和计数器 2 分别对 dplwr 和 dplre 进行计数得到 wrc 和 rec; 然后, 减法电路将计数结果相减, 得到鉴频电路的输出 diff。其中, 计数器 1 和计数器 2 分别是初值为 32 和初值为 0 的模 64 计数器。鉴相电路采集模 28/29 计数器的高四位, 将该计数值规定为相差 count。鉴频、鉴相结果存储电路对十位鉴频、鉴相结果进行存储, 其中高六位为鉴频结果, 低四位为鉴相结果。

3.3 环路滤波器

环路滤波器是一个串行减法器, 被减数为固定值 110 0000 0000, 减数为鉴频、鉴相结果 rs, 输出的 in 来控制数控振荡器。经过环路滤波器到串行累加器的输入可总结为:

$$\begin{aligned} \text{frac} = & 0.46875 + \frac{1536 - 16 \cdot \text{diff} - \text{count}}{2^{17}} = \\ & \frac{62976 - 16 \cdot \text{diff} - \text{count}}{2^{17}} \end{aligned} \quad (4)$$

其中, 0.46875 表示高六位所代表的小数, 1536 为数字滤波器的被减数。

当 diff 是初始差值 32, 且 count 为初始值 0 时, 根据式 (4) 可得 $\text{frac} = 0.4765625$, PLL 的输出 dplre 就是

2.048 MHz。这样设计保证了在光纤未接通的情况下能输出 2.048 MHz 的目标频率。当鉴频、鉴相结果均为 0 时, 经过环路滤波器, 根据式 (1) 和式 (4) 推出可捕获的最低频率 $f_{\text{min}} = 2.0477191057$ MHz; 当鉴频结果为全 1、鉴相结果为 0 时, 同理推出可捕获的最高频率 $f_{\text{max}} = 2.0482721898$ MHz。所以本 PLL 的捕捉带宽为 $f_{\text{max}} - f_{\text{min}} = 553.0841$ Hz。

4 具体过程分析

PLL 的输入 dplwr 的标准频率为 2.048 MHz, 也就是在 2 个指示字节 v1 之间的 500 μ s 内共有 1024 个脉冲, 但由于 PLL 前端的自适应滤波器对时钟的调整, dplwr 会出现 1 UI 的相位跃变, 导致在 500 μ s 内共有 1025 或 1023 个脉冲。下面对 PLL 的平滑过程进行分析。

4.1 dplwr 为 1025 时的平滑过程

根据上述过程以及数学模型, 每 500 μ s 鉴相电路内部的值都加 1, 直到鉴相电路输出为 16 时, 也就是最高位由 0 变到 1 时, dplre 就会多一个, 计数器 2 也就会加 1, rec 就由 0 变为 1, 所以 $\text{diff} = 32$, 此时鉴频电路输出已回到平衡状态。在以后的每个 500 μ s 内, 鉴相电路加 1 进行调整, 直到鉴相电路也回到初始状态, 输出 0000 时, 根据式 (4) 计算得出 $\text{frac} = 0.4765625$, 分频比回到初始值。这时, PLL 对这 1 比特释放完毕, 输出

2.048 MHz 的 dplre。使用 Matlab 进行仿真, 当 dplwr 为 1025 时平滑的

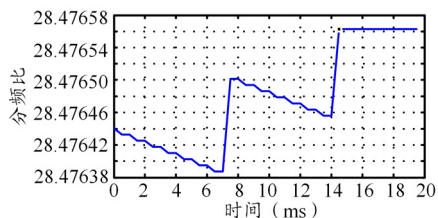


图 4 dplwr 为 1025 时 PLL 的平滑过程

全过程如图 4

所示, 可以看出分频比最终回到了 28.4765625, 也就是 PLL 最终输出 dplre 的频率最终回到了 2.048 MHz。

4.2 dplwr 为 1023 时的平滑过程

当 dplwr 为 1023 时, 原理和 dplwr 为 1025 时一样, frac 每过 500 μ s 进行一次新的计算, 直到 $\text{count} < 16$, 计数器 2 不会加 1, 使得输出 rec 变为 63, 而计数器 1 的输出还是 31,

它们俩的 diff 差又变回了平衡状态下的 32。频率调整完成, 接下来鉴相器进行相位调整, 当相位也回到平衡状态下的值 0000 时, PLL 平滑完毕。使用 Matlab 进行仿真, 当 dplwr 为 1023 时平滑的全过程如

姚秋瑞, 黄海生, 李鑫, 等: SDH 中 E1 支路去同步电路设计

图 5 所示, 从中可以看出分频比最终回到了 28.4765625, 也就是 PLL 最终输出 dplre 的频率最终回到了 2.048 MHz。

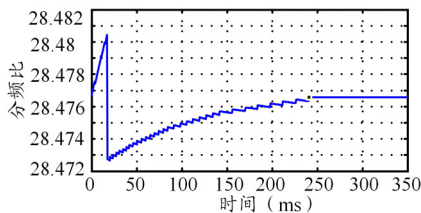


图 5 dplwr 为 1023 时 PLL 的平滑过程

5 抖动分析

5.1 抖动数学模型

时钟抖动分为 3 种: 相位抖动、周期抖动和相邻周期间抖动^[8]。

5.1.1 相位抖动

相位抖动表示的是理想时钟边沿和实际时钟边沿的差。数控振荡器的输出 dplre 的第 i 个时钟上升沿到来的时间如式(3)所示。而目标频率 $f_{tar}=2.048$ MHz 的时钟的第 i 个(i 从 0 开始)时钟上升沿到来的时间 T_i 为:

$$T_i = i / f_{tar} \quad (5)$$

若以 UI 为单位, 相位抖动应表示为:

$$j_i = \frac{T_i - \tau_i}{T_i} = 1 - \frac{M f_{tar}}{f_{ref}} - [i \cdot frac] \cdot \frac{f_{tar}}{i \cdot f_{ref}} \quad (6)$$

将 $M=28$ 、 $f_{ref}=58.32$ MHz、 $f_{tar}=2.048$ MHz 和 $frac=0.4765625$ 代入式(6), 算出相位抖动的峰峰值约为 0.0348 UI, 该值相当于支路映射抖动。

5.1.2 周期抖动

周期抖动(PJ)是各个实际周期与理想周期偏离值的最大值, 是一种统计量, 用均方根(RMS)表示为:

$$t_{RMS, PJ} = \sqrt{\frac{1}{N} \sum_{i=1}^N (\tau_i - T_i)^2} \quad (7)$$

其中, 由于 $frac=0.4765625$, 循环周期 $N=128$ 。用 Matlab 进行计算, 得出 PJ 为 9.8417 ns。

5.1.3 相邻周期间抖动

相邻周期间抖动(CCJ)是各个相邻 2 个周期的偏差, 也是一种统计量, 所以用 RMS 表示为:

$$t_{RMS, CCJ} = \sqrt{\frac{1}{N} \sum_{i=1}^N (\tau_{i-1} - T_i)^2} \quad (8)$$

用 Matlab 进行计算, 得出 CCJ 为 0.4798 μ s。

5.2 抖动测试

ITU-T 规定这类结合抖动应采用有代表性的规定的指针调整测试序列进行测试。本文采用 Matlab 进行

仿真, 以 E1 信号为例, 对数字平滑 PLL 的抖动情况进行分析。表 1 为测试结果, 测试序列具体有 4 种, 从上到下依次为极性相反的单指针、规则指针加一个双指针、漏一个指针的规则指针和极性相反的双指针。其中, $f1$ 为高通测量滤波

表 1 测试序列测试结果

最大峰峰抖动	ITU-T 标准	测试结果
$f1 \sim f4$	0.4 UI	0.019 UI
		0.169 UI
		0.169 UI
		0.164 UI
$f3 \sim f4$	0.075 UI	0.009 UI
		0.009 UI
		0.009 UI
		0.009 UI

器(20 Hz, 20 dB/dec), $f3$ 为高通测量滤波器(18 kHz, 20 dB/dec), $f4$ 为低通测量滤波器(100 kHz, -20 dB/dec)。除此之外, 测出的输入抖动容限为 ± 100 ppm, 大于 E1 信号的抖动容限 ± 50 ppm。上述测试结果可知, 设计的去同步电路满足 ITU-T 相关标准。

6 结束语

本文提出了一种用于 SDH 中 E1 支路接收端的去同步电路。该电路由自适应滤波器和中等带宽的数字 PLL 组成, 通过分析自适应滤波器的输出特点, 对数字 PLL 建立数学模型, 并对其工作过程及输出抖动进行分析。经过仿真验证, 其性能指标可以满足 ITU-T 的相关标准, 保证了接收信号的可靠性。

参考文献:

- [1] 孙学康, 毛京丽. SDH 技术 [M]. 第 3 版. 北京: 人民邮电出版社, 2015.
- [2] 陈智凯. SDH 系统复杂组网中业务路径全保护的研究 [D]. 南昌: 南昌大学, 2019.
- [3] 黄海生, 徐东明. 用于 SDH 2Mb/s 支路输出的一种全数字锁相环设计与实现[J]. 微电子学与计算机, 2000, 17(5): 55-58.
- [4] 孔庆涛, 李惠军, 邓晓飞, 等. 实现 SDH E1 支路输出全数字 PLL 的新方法[J]. 电子技术应用, 2008, 34(4): 53-55, 59.
- [5] 黄海生. 用于 SDH 2 Mb/s 支路的输出自适应比特泄漏器[J]. 计算机工程, 2007, 33(8): 227-229.
- [6] 徐亚伟. 并网逆变器中全软件锁相环的设计与实现[D]. 南京: 南京理工大学, 2014.
- [7] 黄海生. 一种可控分频比分频器的设计与研究 [J]. 计算机工程与设计, 2002, 23(3): 8-9, 21.
- [8] 李艳平. 高速时钟信号抖动的 ADC 测量技术研究[D]. 成都: 电子科技大学, 2009.