

一种 CMOS 工艺兼容的高效氮化硅表面光栅耦合器

韩风阳, 王凌华*, 张雅珍, 黄继伟

(福州大学 物理与信息工程学院, 福州 350108)

摘要: 为了有效简化表面光栅耦合器的制备工艺和降低制备难度, 设计了一种互补金属氧化物半导体(CMOS)工艺兼容的高效氮化硅表面光栅耦合器, 采用二维时域有限差分(2D-FDTD)算法对耦合器的结构进行了建模、优化和仿真, 计算并对比了不同结构的耦合器光谱特性。研究表明: 在标准绝缘体上硅(SOI)晶圆上, 借助于 CMOS 后道工艺, 所设计的氮化硅表面光栅耦合器在通信波长 1550 nm 附近的最高耦合效率为 -3.36 dB, -3 dB 带宽为 101 nm。

关键词: 表面光栅耦合器; 耦合效率; 集成光子器件; 光学设计与制造

中图分类号: O437.4; TN65 文献标志码: A 文章编号: 1002-5561(2022)06-0006-04

DOI: 10.13921/j.cnki.issn1002-5561.2022.06.002

开放科学(资源服务)标识码(OSID):



CMOS-compatible silicon nitride surface grating coupler with high efficiency

HAN Fengyang, WANG Linghua*, ZHANG Yazhen, HUANG Jiwei

(College of Physics and Information Engineering, Fuzhou University, Fuzhou 350108, China)

Abstract: In order to effectively simplify the preparation process and reduce the preparation difficulty of surface grating coupler, a highly efficient silicon nitride surface grating coupler compatible with complementary metal oxide semiconductor (CMOS) technology is designed. The coupler structure is modeled, optimized and simulated using two-dimensional finite difference time domain (2D-FDTD) algorithm. The spectral characteristics of couplers with different structures are calculated and compared. The research results show that the designed silicon nitride surface grating coupler on the standard silicon on insulator (SOI) wafer, with the help of CMOS back channel process, has a maximum coupling efficiency of -3.36 dB and a bandwidth of -3 dB of 101 nm near the communication wavelength of 1550 nm.

Key words: surface grating coupler, coupling efficiency, integrated optical devices, optical design and fabrication

0 引言

目前, 硅基光电子集成技术在功耗、带宽和成本等方面展现出非常明显的优势, 因而在光通信、传感和量子信息处理等领域得到了广泛的应用^[1-4]。在硅基光电子集成芯片逐步接近实用化的过程中, 由于片上的亚微米波导和单模光纤之间存在严重的模斑尺寸

失配, 如何实现二者之间高效的光能量耦合成为一个亟需解决的关键问题^[5]。

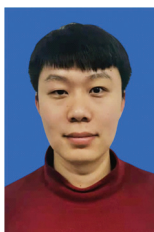
硅表面光栅耦合器具有制作工艺简便、对准容差大、空间位置灵活和满足晶圆级测试要求等优点, 有利于解决单模光纤与片上波导间的耦合问题^[6]。于是, 人们在传统的绝缘体上硅(SOI)平台上对硅表面光栅耦合器进行了大量的研究, 在提高硅表面光栅耦合器的耦合效率方面取得了很大的进展^[7]。近年来, 与标准互补金属氧化物半导体(CMOS)工艺完全兼容的氮化硅光子材料平台以其优越的特性(极低的波导传输损耗、大带宽的通光光谱范围、通信波段无双光子吸收和低热光系数等), 使氮化硅无源波导在实现片上极低损耗光子链路方面体现出了更大的优势^[8-10]。但由于氮化硅光子材料平台相对折射率差比 SOI 小, 制作高耦合效率的氮化硅表面光栅耦合器具有一定的难度。

收稿日期: 2022-02-24。

基金项目: 国家自然科学基金项目(61405198)资助; 福建省教育厅项目(JAT190012)资助; 福建省自然科学基金项目(2020J01467)资助。

作者简介: 韩风阳(1995—), 男, 硕士研究生, 本科毕业于聊城大学电子信息工程专业, 现就读于福州大学集成电路工程专业, 研究生期间主要从事硅基集成光电子芯片耦合与测试技术方面的研究工作。

* 通信作者: 王凌华, 男, 博士, 讲师, 硕士生导师, 主要研究方向为硅基光电子集成技术。



虽然通过增加氮化硅层光栅的厚度^[11]、对光栅振幅和相位进行变迹自成像^[12],以及在氮化硅光栅耦合器下方制作分布式布喇格反射镜(DBR)结构^[13]等方法,可以有效提高氮化硅表面光栅耦合器的耦合效率。但是,以上方法往往包含多步生长与刻蚀工艺,部分关键精细结构需借助于分辨率更高的光刻(如电子束曝光)工艺实现,不仅增加了器件制备工艺的难度和复杂度,也不利于此类器件的大规模生产和降低制备成本。CMOS 后道工艺的不断完善与成熟,为在 SOI 结构层上进一步制备氮化硅结构或链路提供了有利条件,能够有效促进片上硅有源器件和氮化硅无源器件或链路的共集成^[15-16]。2014 年,SACHER W D 等人^[14]在硅上氮化硅平台上,设计并实现了一种双层光栅耦合器,通过在氮化硅光栅下方增加一组辅助的硅光栅,提高了耦合效率和增加了带宽。该方法的优点是硅上氮化硅平台与 CMOS 工艺可以完全兼容;缺点是该器件的制备工艺仍然较为复杂,成本较高,需要调整 2 层光栅的尺寸和对 2 层光栅之间的错位进行严格控制,因此降低了器件制备工艺的容差。

鉴于氮化硅平台在三维光子集成方面具有重要的应用潜力与价值,本文设计一种 CMOS 工艺兼容的高效氮化硅表面光栅耦合器。

1 氮化硅表面光栅耦合器的结构和设计方法

本文基于目前标准的 SOI 晶圆结构设计了氮化硅表面光栅耦合器,其结构示意图如图 1 所示。硅衬底上方是 2 μm 厚的二氧化硅埋氧层(BOX)与 220 nm 厚的硅层。硅、二氧化硅和氮化硅三者在 1550 nm 波长处的折射率取值分别为 $n_{\text{Si}}=3.445$ 、 $n_{\text{SiO}_2}=1.445$ 和 $n_{\text{SiN}}=1.998$ 。

氮化硅表面光栅耦合器的设计方法如下:首先,采用 CMOS 后道工艺生长厚度为 t 的二氧化硅间隔层和 400 nm 厚的氮化硅层。然后,采用全刻蚀工艺在氮化硅层制备周期为 p 的氮化硅光栅,其中刻槽宽度为 p_1 ,刻齿宽度为 p_2 ,周期 $p=p_1+p_2$,占空比 $\eta=p_2/(p_1+p_2)$ 。最后,采用二维时域有限差分(2D-FDTD)算法对氮化硅表面光栅耦合器的结构进行了建模与仿真,对器件的整体结构进行了详细的优化。

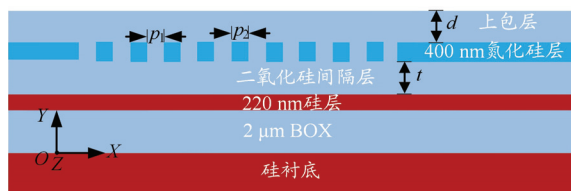


图 1 氮化硅表面光栅耦合器结构示意图

2 仿真计算结果

为满足标准的硅光子集成芯片封装工艺要求,光纤的初始入射角度设定为 8° 。本文根据参数变化对氮化硅表面光栅耦合器耦合效率的影响大小,将优化过程分为以下几个步骤:

①优化氮化硅光栅的刻槽宽度 p_1 、刻齿宽度 p_2 (周期与占空比),获得最高的耦合效率。在二氧化硅间隔层厚度 $t=1 \mu\text{m}$ 、上包层厚度 $d=600 \text{ nm}$ 的初始条件下,本文对氮化硅光栅的刻槽宽度 p_1 与刻齿宽度 p_2 进行了交叉扫描,结果如图 2(a)所示。可以看出,在 $p_1=500 \text{ nm}$ 、 $p_2=590 \text{ nm}$ 时,器件实现了最高的耦合效率为 -6.3 dB 。

②优化氮化硅光栅层与硅层的二氧化硅间隔层厚度 t ,获得最高的耦合效率。在步骤①的基础上,对二氧化硅间隔层厚度 t 进行了扫描,结果如图 2(b)所示。可以看出,器件的耦合效率随二氧化硅间隔层厚度 t 呈现周期性的振荡变化。这是由于入射光(氮化硅光栅表面一次反射的光)、反射光(与穿透氮化硅光栅层、二氧化硅间隔层并由硅层表面所反射的光)二者因光程差引起的相长干涉或者相消干涉所导致的。

③优化上包层厚度 d 、光纤的角度与位置,获得最高的耦合效率。虽然当二氧化硅间隔层 $t=1220 \text{ nm}$ 时器件具有最高的耦合效率,但过厚的间隔层不利于器件的制备。与之相比,选取二氧化硅间隔层 $t=670 \text{ nm}$ 更易于降低制备工艺难度并使器件具有较高的耦合效率。本文对上包层厚度 d 进行了优化,结果如图 2(c)所示。可以看出,当上包层厚度 $d=600 \text{ nm}$ 时,氮化硅表面光栅耦合器的最高耦合效率为 -3.2 dB 。

④在上述参数优化完成之后,本文对光纤的入射角度进行微调,并进一步调整二氧化硅间隔层厚度 t 与光纤位置以获取最高耦合效率,结果如图 2(d)所示。可以看出,在光纤入射角度为 1.2° 左右的变化范围内,最佳 t 值基本保持不变,变化范围小于 5 nm 。当光纤入射角为 8.3° 时,该氮化硅表面光栅耦合器的最高耦合效率为 -3.28 dB 。

为降低器件制备的工艺难度,本文选择了更易于制造的均匀周期光栅结构,对初始参数设置、各参数的优化顺序,以及优化的迭代次数对最终结果的影响进行了研究,证明以上计算结果是可靠的。优化后的氮化硅表面光栅耦合器的主要结构参数如表 1 所示。最后,采用 2D-FDTD 算法计算得出所设计氮化硅表面光栅耦合器在波长 1550 nm 附近的光谱特性曲线和光在器件 XY 截面上传播的电场分布,如图 3 所示。可以

表 1 氮化硅表面光栅耦合器
优化后的主要参数

参数	数值
$p_1, p_2/\text{nm}$	500, 590
t/nm	670
d/nm	600
入射角度/ $^\circ$	8.3

看出,本文设计的氮化硅表面光栅耦合器-3 dB 耦合带宽 $\Delta\lambda_{-3\text{dB}}=101\text{ nm}$,电场垂直方向的光纤中的光能量能有效地被耦合进入水平方向的氮化硅波导中进行传输。

3 对比与讨论

本文计算并对比了不同结构的氮化硅表面光栅耦合器的光谱特性,结果如图 4 所示。可以看出,对于常规均匀周期的单层氮化硅(400 nm 厚)表面光栅耦合器,当 BOX 厚度为 $2\text{ }\mu\text{m}$ 时,若只优化光栅结构参数,其最高耦合效率为-4.80 dB 左右;当 BOX 厚度为 $3.75\text{ }\mu\text{m}$ 时,可以获得-3.26 dB 的最高耦合效率,但由于该值与大部分晶圆厂当前所采用的 BOX 层厚度($2\text{ }\mu\text{m}$ 或 $3\text{ }\mu\text{m}$)不符,不适合普遍采用。

与 SACHER W D 等人^[14]所设计的双层光栅耦合结构不同,本文提出的耦合器只需要在标准 SOI 晶圆片基础上,利用 CMOS 后道工艺制备一定厚度的硅层和氮化硅光栅层,无需对高折射率的硅层进行刻蚀加工,并且在硅层和氮化硅层生长过程中,无需使用化学机械抛光工艺。器件性能和关键结构参数对比情况如表 2 所示。可以看出,当硅层厚度分别为 220 nm、150 nm、90 nm 时,氮化硅表面光栅耦合器的最高耦合效率分别为-3.36 dB、-2.24 dB、-2.21 dB,-3 dB 的耦合带宽 $\Delta\lambda_{-3\text{dB}}$ 分别为 101 nm、126 nm、122 nm,明显高于单层氮化硅表面光栅耦合器的耦合效率(-4.8 dB)和带宽(94 nm)。基于 220 nm 硅层厚度设计的氮化硅表面光栅耦合器,虽然其最高耦合效率和-3 dB 耦合带宽比采用 150 nm 和 90 nm 硅层厚度的器件略低,但由于其制备过程中无需对硅层进行刻蚀处理,可极大地简化制备工艺。而 150 nm 和 90 nm 厚度的硅层

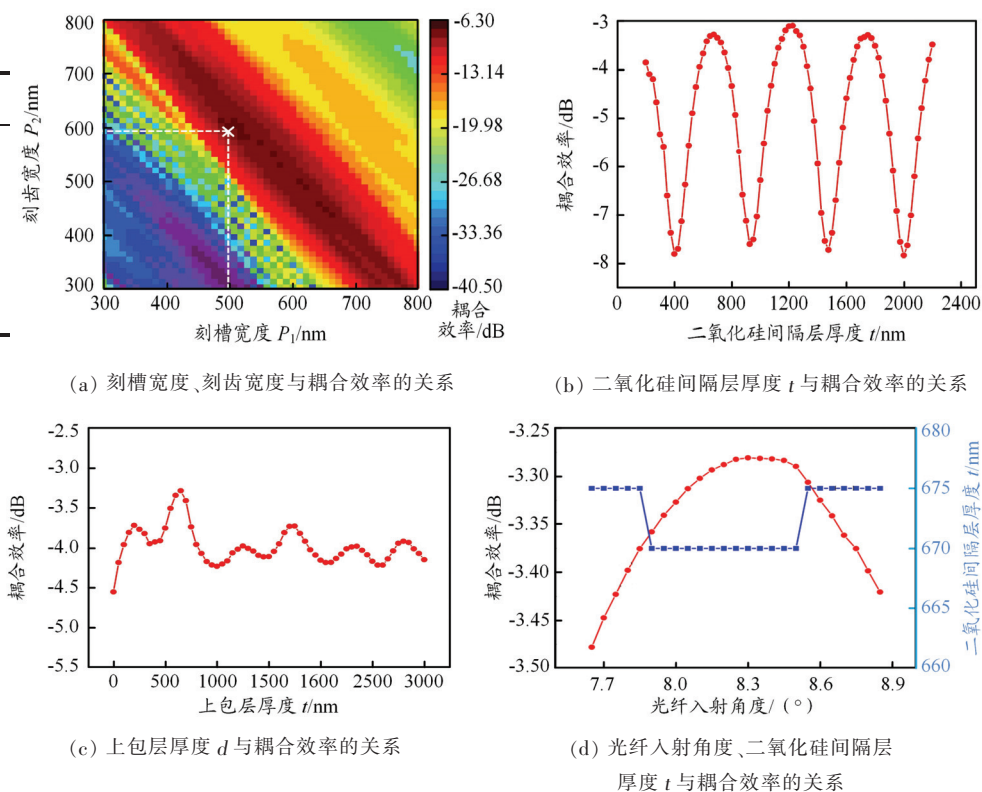


图 2 氮化硅表面光栅耦合器的主要参数优化

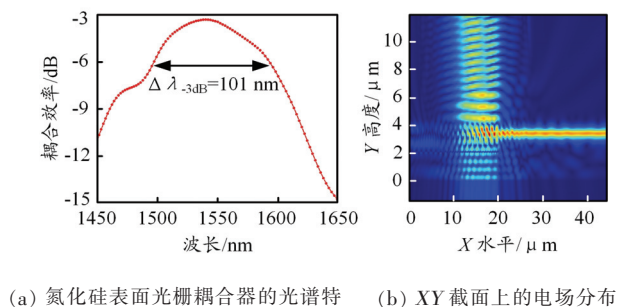


图 3 优化的氮化硅表面光栅耦合器的光谱特性和电场分布

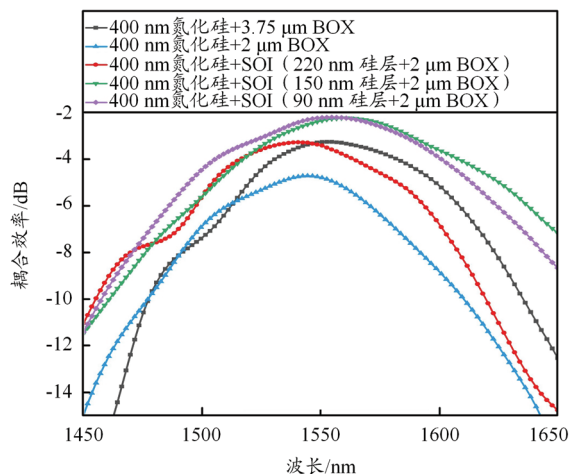


图 4 不同结构的氮化硅表面光栅耦合器光谱特性

表 2 不同结构的氮化硅表面光栅耦合器性能与关键结构参数对比

结构	硅层厚度/ nm	p_1/nm	p_2/nm	t/nm	$d/\mu\text{m}$	BOX 厚度/ μm	1550 nm 处 耦合效率/dB	峰值波长 /nm	最高耦合 效率/dB	-3 dB 带宽/nm
400 nm 氮化硅+BOX	—	590	490	—	0.6	3.75	-3.27	1552	-3.26	98
400 nm 氮化硅+BOX	—	590	490	—	0.5	2	-4.80	1544	-4.72	94
400 nm 氮化硅+ SOI(220 nm 硅层+BOX)	220	500	590	670	0.605	2	-3.36	1540	-3.28	101
400 nm 氮化硅+ SOI(150 nm 硅层+BOX)	150	550	550	400	1.25	2	-2.35	1560	-2.24	126
400 nm 氮化硅+ SOI(90 nm 硅层+BOX)	90	550	550	450	1.15	2	-2.22	1554	-2.21	122

是与现行标准 CMOS 工艺相兼容的,只需对 220 nm 硅层进行一次非图形化的浅刻蚀工艺处理即可实现。

4 结束语

本文设计并研究了一种 CMOS 工艺兼容的高效率氮化硅表面光栅耦合器。该设计的优点是在保持标准 SOI 晶圆结构完整的条件下使用 CMOS 工艺制备,从而有效简化器件制备的工艺并降低了器件制备的难度。除了利用 CMOS 后道工艺中的沉积技术生长一定厚度的二氧化硅和氮化硅层外,仅需通过调整 BOX 与硅层之间的二氧化硅间隔层厚度,优化氮化硅均匀光栅的结构参数,便可在通信波长 1550 nm 附近实现最高的耦合效率(-3.36 dB)和较宽的-3 dB 带宽(101 nm)。除此之外,本文对不同结构的氮化硅表面光栅耦合器进行了性能对比,为集成光子芯片的制备、测试与封装提供了数据参考。

参考文献:

- [1] RUDOLPH T. Why I am optimistic about the silicon-photonics route to quantum computing[J]. APL Photonics, 2017, 2(3): 030901-1-030901-19.
- [2] RAHIM A, SPUESEN T, BAETS R, et al. Open-access silicon photonics: current status and emerging initiatives [J]. Proceedings of the IEEE, 2018, 106(12): 2313-2330.
- [3] WANG ÜEMERT-PÉREZ J G, HADIJ-ELHOUATI A, SÁNCHEZ-POSTIGO A, et al. Subwavelength structures for silicon photonics biosensing[J]. Optics & Laser Technology, 2019, 109: 437-448.
- [4] SIEW S Y, LI B, GAO F, et al. Review of silicon photonics technology and platform development [J]. Journal of Lightwave Technology, 2021, 39(13): 4374-4389.
- [5] MARCHETTI R, LACAVA C, CARROLL L, et al. Coupling strategies for silicon photonics integrated chips [J]. Photonics Research, 2019, 7(2):

201-239.

- [6] CHENG L, MAO S, LI Z, et al. Grating couplers on silicon photonics: design principles, emerging trends and practical issues [J]. Micromachines, 2020, 11(7): 666-680.
- [7] VERMEULEN D, SELVARAJA S, VERHEYEN P, et al. High-efficiency fiber-to-chip grating couplers realized using an advanced CMOS-compatible silicon-on-insulator platform [J]. Optics Express, 2010, 18(17): 18278-18283.
- [8] RAHIM A, RYCKEBOER E, SUBRAMANIAN A Z, et al. Expanding the silicon photonics portfolio with silicon nitride photonic integrated circuits[J]. Journal of Lightwave Technology, 2017, 35(4): 639-649.
- [9] BLUMENTHAL D J, HEIDEMAN R, GEUZEBOEK D, et al. Silicon nitride in silicon photonics [J]. Proceedings of the IEEE, 2018, 106(12): 2209-2231.
- [10] 范智斌,陈泽茗,周鑫,等. 氮化硅光子器件与应用研究进展[J]. 中国光学, 2021, 14(4): 998-1018.
- [11] ZHAO X, LI D, ZENG C, et al. Compact grating coupler for 700-nm silicon nitride strip waveguides[J]. Journal of Lightwave Technology, 2016, 34(4): 1322-1327.
- [12] CHEN Y, HALIR R, MOLINA-FERNÁNDEZ Í, et al. High-efficiency apodized-imaging chip-fiber grating coupler for silicon nitride waveguides [J]. Optics Letters, 2016, 41(21): 5059-5062.
- [13] NAMBIAR S, KUMAR A, KALLEGA R, et al. High-efficiency grating coupler in 400 nm and 500 nm PECVD silicon nitride with bottom reflector[J]. IEEE Photonics Journal, 2019, 11(5): 1-13.
- [14] SACHER W D, HUANG Y, DING L, et al. Wide bandwidth and high coupling efficiency Si_3N_4 -on-SOI dual-level grating coupler [J]. Optics Express, 2014, 22(9): 10938-10947.
- [15] HUANG Y, SONG J, LUO X, et al. CMOS compatible monolithic multi-layer Si_3N_4 -on-SOI platform for low-loss high performance silicon photonics dense integration[J]. Optics Express, 2014, 22(18): 21859-21865.
- [16] SACHER W D, HUANG Y, LO G Q, et al. Multilayer silicon nitride-on-silicon integrated photonic platforms and devices [J]. Journal of light-wave technology, 2015, 33(4): 901-910.