

引用本文: 韦春雷, 吴新春, 黄孝兵. 用于 400 Gb/s 以太网 PCS 的递推 RS 编码电路[J]. 光通信技术, 2024, 48(1): 71-73.

用于 400 Gb/s 以太网 PCS 的递推 RS 编码电路

韦春雷¹, 吴新春^{1*}, 黄孝兵²

(1. 西南交通大学 信息科学与技术学院, 成都 611756; 2. 强华时代(成都)科技有限公司, 成都 610041)

摘要: 为了在 400 Gb/s 以太网物理编码子层(PCS)中实现高速纠错编码, 设计了一种递推里德-所罗门(RS)编码电路。该电路通过组合递推因子、输入数据和寄存器数据, 可以得到递推 RS 编码电路的结果。采用 VCS+Verdi 软件对传统 RS 编码电路、递推 RS 编码电路进行仿真, 并使用 Nangate 45 nm 开源工艺进行综合测试。仿真与测试结果表明: 相较于并行 RS (544, 514) 编码电路, 使用递推 RS 编码电路可以大幅度减少时间开销; 32 路递推 RS (544, 514) 编码电路的面积降低了 68%, 功耗降低了 60%。

关键词: 400 Gb/s 以太网; 物理编码子层; RS 码

中图分类号: TN762 **文献标志码:** A **文章编号:** 1002-5561(2024)01-0071-03

DOI: 10.13921/j.cnki.issn1002-5561.2024.01.013

开放科学(资源服务)标识码(OSID):



Recursive RS coding circuit for 400 Gb/s ethernet PCS

WEI Chunlei¹, WU Xinchun^{1*}, HUANG Xiaobing²

(1. School of Information Science and Technology, Southwest Jiaotong University, Chengdu 611756, China;

2. Qianghua Times (Chengdu) Technology Co., Ltd., Chengdu 610041, China)

Abstract: In order to implement high speed error correction coding in 400 Gb/s Ethernet physical coding sublayer(PCS), a recursive Reed-Solomon (RS) coding circuit is designed. By combining recurrence factor, input data and register data, the result of recursive RS coding circuit can be obtained. VCS+Verdi software is used to simulate the traditional RS coding circuit and the recursive RS coding circuit, and the Nangate 45 nm open source process is used for comprehensive testing. The simulation and test results show that compared with the parallel RS (544, 514) coding circuit, the recursive RS coding circuit can greatly reduce the time cost. The area of the 32-channel recurrent RS(544, 514) coding circuit is reduced by 68% and the power consumption is reduced by 60%.

Key words: 400 Gb/s ethernet, physical coding sublayer, Reed-Solomon code

0 引言

里德-所罗门(RS)码作为一种极具代表性的纠错码, 因其性能优异而在信息传输领域得到了广泛应用^[1]。然而, 传统的 RS(544, 514)编码方案只能处理 10 bit 的数据, 无法满足 400 Gb/s 以太网物理编码子层(PCS)标准所需要的数据传输速率。因此, 研究人员正在寻找更高效的纠错编码方案来满足高速以太网的需求。尽管文献[2-5]提高了信号编码速率, 但在高速

PCS 中未能实现高效的 RS 编码。因此, 本文设计一种递推 RS 编码电路, 对传统编码电路的反馈结构进行改进, 在同一组 RS(544, 514)中进行高并行编码, 以满足 400 Gb/s 以太网 PCS 的传输速率要求。

1 递推 RS 编码电路原理

传统 RS(544, 514)编码电路如图 1 所示, 其每个周期处理 10 bit 数据。根据图 1 可以得到并行度 $n=1$ 时寄存器组 $\{p_0, p_1, \dots, p_{29}\}$ 的推导结果为

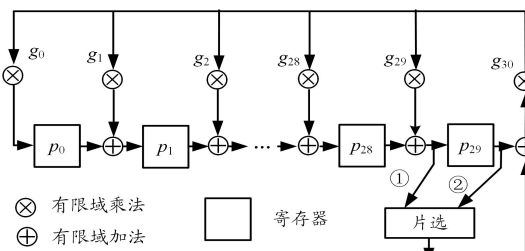
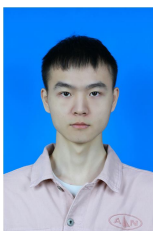


图 1 传统 RS(544, 514) 编码电路

收稿日期: 2023-03-03。

基金项目: 四川省科技计划项目(项目编号: 2023YFG0137)资助。

作者简介: 韦春雷(1996—), 男, 安徽临泉人, 硕士研究生, 现就读于西南交通大学信息科学与技术学院通信工程专业, 主要研究方向为 400 Gb/s 以太网光通信技术、纠错编码技术和数字集成电路等。



* **通信作者:** 吴新春(1982—), 男, 博士, 讲师, 硕士生导师, 主要研究方向为通信算法和数字集成电路等。

韦春雷,吴新春,黄孝兵:用于 400 Gb/s 以太网 PCS 的递推 RS 编码电路

$$\begin{cases} p_0 = G_1 m_0 \\ p_1 = G_1 m_1 + p_0 \\ \vdots \\ p_i = G_1 m_i + p_{i-1} \\ \vdots \\ p_{29} = G_1 m_{29} + p_{28} \end{cases} \quad (1)$$

其中, $G_k m_j = G_k g_j$, g_j 为 RS(544,514) 编码生成多项式的系数, G_k 为递推因子, $G_k = d_k + p_{30-k} + \sum_{j=1}^{k-1} G_j m_{n-1+j}$, k 取值范围为 $1 \sim n$, j 取值范围为 $1 \sim k-1$; n 为并行度, 取值范围为 $[1, 29]$; d_k 为 RS 编码的输入数据, $i \in [0, 29]$ 。

递推 RS 编码方案则是在传统 RS 编码方案的基础上, 通过超前推导的方式, 利用递推因子和 10 bit 寄存器的值来完成编码过程。将式(1)递推一次, 此时并行度 $n=2$, 递推结果为

$$\begin{cases} p_0 = G_2 m_0 \\ p_1 = G_2 m_1 + G_1 m_0 \\ p_2 = G_2 m_2 + G_1 m_1 + p_0 \\ \vdots \\ p_i = G_2 m_i + G_1 m_{i-1} + p_{i-2} \\ \vdots \\ p_{29} = G_2 m_{29} + G_1 m_{28} + p_{27} \end{cases} \quad (2)$$

依此类推, 当并行度 $n \leq 29$ 时, 可得递推结果为

$$\begin{cases} p_0 = G_n m_0 \\ p_1 = G_n m_1 + G_{n-1} m_0 \\ p_2 = G_n m_2 + G_{n-1} m_1 + G_{n-2} m_0 \\ \vdots \\ p_{n-1} = G_n m_{n-1} + G_{n-2} m_{n-2} + \cdots + G_{n-2} m_0 \\ p_n = G_n m_n + G_{n-1} m_{n-1} + \cdots + G_1 m_1 + p_0 \\ \vdots \\ p_{29} = G_n m_{29} + G_{n-1} m_{28} + \cdots + G_1 m_{30-n} + p_{29-n} \end{cases} \quad (3)$$

当并行度 $n=30$ 时, 递推已完成一次循环, 所有 p_k 寄存器都参与了计算, 迭代进了 G_k 。故 $n \geq 30$ 时, 有

$$\begin{cases} p_0 = G_n m_0 \\ p_1 = G_n m_1 + G_{n-1} m_0 \\ p_2 = G_n m_2 + G_{n-1} m_1 + G_{n-2} m_0 \\ \vdots \\ p_{29} = G_n m_{29} + G_{n-1} m_{28} + \cdots + G_{n-29} m_0 \end{cases} \quad (4)$$

传统的 RS 编码方案每周处理 10 bit 数据, 使用了 30 个有限域乘法器。在进行一次递推后, 每个周期可以处理同一轮 RS 编码中的 20 bit 数据。由式(2)可知, 无论是 G_1 还是 G_2 , 都是可以复用的, 且不会增加额外的乘法计算量。因此, 对于递推并行度为 n 的 RS 编码方案, 其乘法次数为 $30n$ 次。

2 递推 RS 编码电路

从递推 RS 编码电路的工作原理可知, 其功能主要是通过求解递推因子和寄存器的值来实现的。递推因子可以通过式(4)直接求解得出, 而求解寄存器的值则分为 2 种情况:

1) 当 $n < 30$ 时, 递推 n 路 RS 编码电路如图 2 所示。其中, $G_1 \sim G_n$ 作为电路输入。求 p_i 时, 电路首先同时处理各个 G_k 与 g_j 的乘积, 然后在对应位置上进行有限域加法, 最后更新 $p_0 \sim p_{29-n}$ 的值。每当 n 增加 1, 就会多出一组递推因子 G_k , 同时新的 G_k 与 g_j 的乘积整体向右移动一个单位。这意味着纵向 G_k 的个数与 n 成正比, 而横向寄存器的数量保持不变。

2) 当 $n \geq 30$ 时, 递推 n 路 RS 编码电路如图 3 所示。当递推次数达到 30 时, p_i 已经全部存在 G_k 中。在之后的递推中, 尽管 n 的值已经超过 30, 但实际参与计算的 G_k 的值为 $\{G_{n-29}, G_{n-28}, \dots, G_n\}$, 其数量仍然为 30 个。因此, 由图可知, 随着 n 的增大, 该电路纵向 G_k 的个数并不会增加, 横向 p 的数量也保持不变。

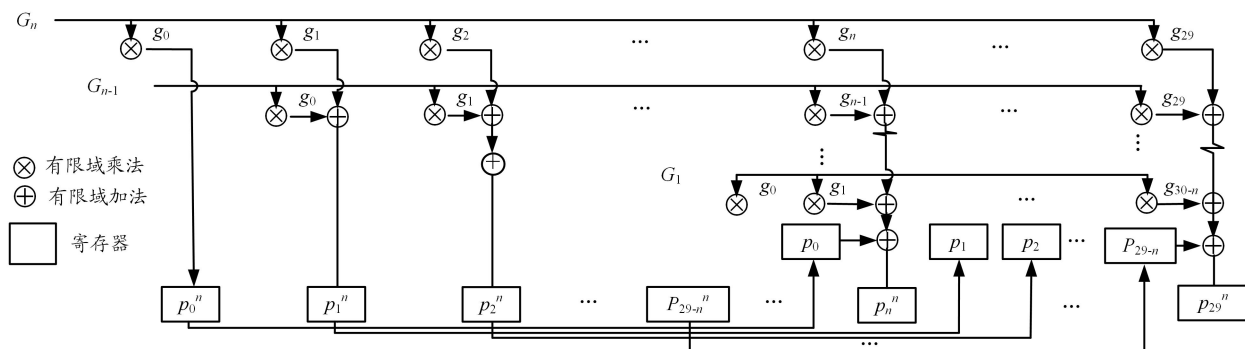


图 2 递推 n ($n < 30$) 路 RS 编码电路

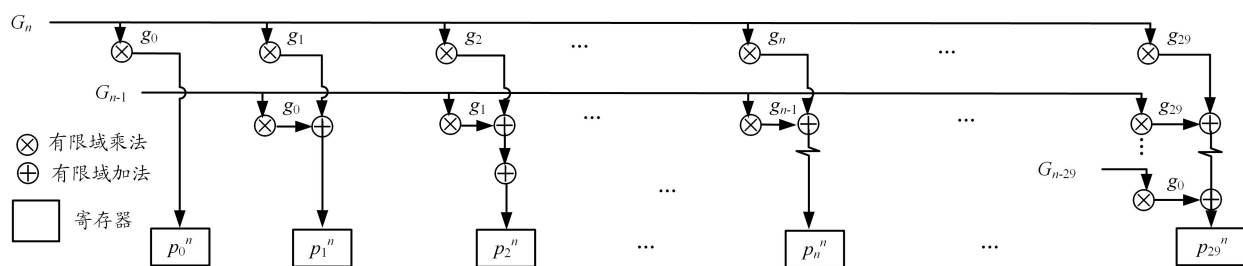
图 3 递推 $n(n \geq 30)$ 路 RS 编码电路

表 1 采用 Nangate 45 nm 工艺对电路进行综合测试结果

编码类型	并行度	建立时间裕量/ns	保持时间裕量/ns	面积/ μm^2	功耗/ μW
传统 RS 编码	1	0.65	0.07	2 818.536 037	5.170 8e+3
并行 RS 编码	2(linex2)	0.65	0.07	5 637.338 073	1.034 5e+4
	2	0.58	0.07	3 888.122 062	7.970 3e+3
	4	0.51	0.07	5 759.964 047	1.273 1e+4
递推 RS 编码	8	0.42	0.07	9 307.872 025	2.097 1e+4
	16	0.32	0.07	16 108.427 970	3.670 9e+4
	32	0.25	0.07	28 684.907 870	6.676 5e+4

3 仿真结果分析

3.1 时间开销对比

本文采用 VCS+Verdi 软件并使用输入序列 $\{514, 513, \dots, 2, 1\}$ 对传统的 RS(544,514) 编码电路和 2、4、8、16、32 路递推 RS(544,514) 编码电路进行了仿真,所需要的时钟周期个数分别为 544、272、137、69、35、18。假设上述电路都工作在 625 MHz 的频率上,则每个时钟周期为 1.6 ns,那么输出一组 RS(544,514) 编码的时间分别为 870.4、435.2、219.2、100.4、56、28.8 ns。可以看出,使用递推 RS 编码电路,可以大幅减小时间开销。同时,仿真结果表明,这几种编码电路的结果一致,得到的编码序列均为 $\{514, 513, \dots, 1, 15, 807, \dots, 661, 827\}$ 。

3.2 综合测试对比

电路的每个时钟周期为 1.6 ns(625 MHz),工作电压为 1.25 V。本文采用 Nangate 45 nm 开源工艺对电路进行综合测试,结果如表 1 所示。表 1 列出了 2 组对照试验结果。第一组对照试验比较了传统 RS 编码电路和并行 RS 编码电路的效果,结果表明,并行 RS 编码电路的面积和功耗均是传统 RS 编码电路的 2 倍。第二组对照试验比较了并行 RS 编码电路和递推

RS 编码电路的效果,结果表明:当 i 分别为 2、4、8、16、32 时,递推 RS 编码电路的面积分别是并行 RS 编码电路的 68%、51%、41%、36%、32%,功耗分别是并行 RS 编码电路的 77%、62%、51%、44%、40%。

4 结束语

本文设计了一种递推 RS 编码电路,该电路在实现相同纠错效率的条件下,当 i 为 32 时,面积和功耗优化为并行 RS 编码电路的 32% 和 40%,能够在高速低延迟的应用环境中提高通信系统可靠性和稳定性。RS 编码电路的未来研究方向是进一步提高编码效率和减少功耗,以满足更高速、更复杂的通信系统需求。

参考文献:

- [1] 王新梅,肖国镇. 纠错码——原理和方法[M]. 西安:西安电子科技大学出版社,2001.
- [2] 陈飞,周德新. 高速光网络系统中 FEC 编码器的设计与实现[J]. 光通信技术,2004,28(5):35-37.
- [3] 张亮,王志功,胡庆生. 一种适用于高速无源光网络的前向纠错码[J]. 光通信技术,2008,32(6):47-50.
- [4] 马馨然. 应用于高速光通信的 RS(544,514)-FEC 编解码器设计研究[D]. 厦门:厦门大学,2020.
- [5] 刘文国. 基于 FPGA 的 RS(255,223) 编解码器的高速并行实现[D]. 成都:电子科技大学,2009.