

# 一种 50 Gb/s PAM4 外调制激光器驱动电路

陈江<sup>1,3</sup>, 陆德超<sup>2</sup>, 郑旭强<sup>3</sup>, 刘果果<sup>3</sup>, 刘新宇<sup>3</sup>

(1. 中国科学院大学 微电子学院, 北京 1001408; 2. 空军工程大学, 西安 710086; 3. 中国科学院 微电子研究所, 北京 100029)

**摘要:** 激光器驱动电路是光通信系统中发射端的重要部件, 为了适应高速电/光转换的需求, 基于 28 nm 互补金属氧化物半导体(CMOS)工艺, 设计了一种外调制激光器(EML)驱动电路, 整个驱动电路采用了 5 级级联的架构, 分别包括可变增益放大器(VGA)、两级连续时间线性均衡器(CTLE)、预放大器和输出级, 驱动电路内部采用了新型的互补放大和共源共栅结构, 驱动电路的输入为 50 Gb/s 的 4 阶脉冲振幅调制(PAM4)信号。仿真结果表明: 该驱动电路小信号带宽为 27 GHz; 在 12.5 GHz、0.16~0.312 V<sub>pp</sub> 正弦输入下的输出摆幅为 1 V<sub>pp</sub> 时, 总谐波失真(THD)大小为 2.21%, 电压增益范围为 13.98~20.24 dB, 总功耗为 340 mW。

**关键词:** 外调制激光器驱动; 4 阶脉冲振幅调制; 可变增益放大器; 互补放大; 共源共栅

**中图分类号:** TN432 **文献标志码:** A **文章编号:** 1002-5561(2021)10-0010-04

**DOI:** 10.13921/j.cnki.issn1002-5561.2021.10.003

开放科学(资源服务)标识码(OSID):



## 50 Gb/s PAM4 external modulation laser driver circuit

CHEN Jiang<sup>1,3</sup>, LU Dechao<sup>2</sup>, ZHENG Xuqiang<sup>3</sup>, LIU Guoguo<sup>3</sup>, LIU Xinyu<sup>3</sup>

(1. School of Microelectronics, University of Chinese Academy of Sciences, Beijing 101408, China; 2. Air Force Engineering University, Xi'an 710086, China; 3. Institute of Microelectronics, Chinese Academy of Sciences, Beijing 100029, China)

**Abstract:** The laser driving circuit is an important part of the transmitter in the optical communication system. In order to meet the needs of high-speed electric/optical conversion, an externally modulated laser (EML) driving circuit is designed based on the 28 nm complementary metal oxide semiconductor (CMOS) process. The whole driving circuit adopts a five-stage cascade architecture, including variable gain amplifier (VGA) and two-stage continuous time linear equalizer (CTLE), preamplifier and output stage. The driving circuit adopts a new complementary amplification and cascode structure, the input of the drive circuit is a 50 Gb/s fourth-order pulse amplitude modulation (PAM4) signal. The simulation results show that the small signal bandwidth of the driving circuit is 27 GHz. When the output swing is 1 V<sub>pp</sub> at 12.5 GHz and 0.22 V<sub>pp</sub> sinusoidal input, the total harmonic distortion (THD) is 2.21%. The voltage gain range is 13.98~20.24 dB, and the total power consumption is 340 mW.

**Key words:** externally modulated laser driver; fourth order pulse amplitude modulation; variable gain amplifier; complementary amplification; cascode

### 0 引言

随着 5G 网络的兴起<sup>[1]</sup>, 数据传输速率越来越快, 光传输将在越来越多的场合代替传统的电传输<sup>[2-4]</sup>。在光通信系统<sup>[5]</sup>的发射端中, 由于外调制激光器(EML)<sup>[6]</sup>

优良的调制特性被广泛应用, 其对应的驱动电路也得到了广泛的研究。

激光器驱动的作用是将数字调制信号放大并加载到电吸收调制器(EAM)上。目前, 国外已有对差分直接耦合形式 EML 驱动的报道<sup>[7-8]</sup>, 这种方式虽然能有效减少功耗, 但却存在负载电容加倍和不利于施加反向偏置电压的问题。文献[9]通过采用间接耦合的方式在驱动电路外部可以方便地施加反向偏置电压, 但是存在因耦合电容大而不利于作片上集成的问题。另外, 由于 4 阶脉冲振幅调制(PAM4)信号<sup>[10]</sup>相比非归零码(NRZ)信号能更有效地提高信道的频谱利用率, 因

收稿日期: 2020-12-15。

基金项目: 国家重点研发计划(2018YFB2201503)资助。

**作者简介:** 陈江(1996—), 男, 江西萍乡人, 硕士生, 现就读于中国科学院大学集成电路工程专业, 研究方向为基于硅基 CMOS 工艺的高速线性激光器驱动电路、连续时间线性均衡器等。参与了 PAM4 LDD 和 TIA 国家重点研发计划, 主要负责激光器驱动电路的原理图设计; 曾参加了复微杯 2020 全国大学生电子设计大赛, 获得优秀奖。



此其对驱动电路的线性度要求更高。

本文设计一种 EML 驱动电路,该电路采用新型的互补放大结构、薄栅氧管与厚栅氧管相配合的共源共栅结构,有效解决 EAM 反向偏置的问题,提高电路的线性度和驱动电路输出级的耐压。

## 1 EML 驱动电路的整体架构

EML 驱动电路的整体架构图如图 1 所示。该电路基于 28nm CMOS 工艺,采用了 5 级级联的架构,分别为可变增益放大器(VGA)、第一级连续时间线性均衡器(CTLE<sub>1</sub>)、第二级 CTLE<sub>2</sub>、预放大器(Pre-Amp)和输出级。其中,VGA 的作用为调节驱动电路的增益以应对不同的输入信号的幅度;两级 CTLE 用于增强输入信号的高频成分,Pre-Amp 的作用是提供一定缓冲作用,同时保证能输出较大的摆幅;输出级的作用是提供 1 V<sub>pp</sub> 的输出电压摆幅。由于信号的摆幅是逐渐放大的,所以本设计中前面 4 级的电源电压 VDD<sub>L</sub> 设置为 1.8 V,输出级的电源电压 VDD<sub>H</sub> 设置为 3 V,以达到减少功耗的目的。

VGA、两级 CTLE 和 Pre-Amp 均采用了互补放大的结构,有利于线性度的提升和增益的提高。VGA 采用了一种创新性结构的可调电阻阵列实现增益的可调;CTLE 在互补放大结构的基础上引入源极退化电阻和电容,以实现高频信号的增强;输出级采用了薄栅氧管和厚栅氧管相配合的共源共栅结构,其中共源管为薄栅氧管,使得输出级有较小的输入寄生电容;共栅管为厚栅氧管,使得输出级有较高的耐压。

## 2 EML 驱动电路设计

### 2.1 VGA 的设计

图 2 为 VGA 的电路原理图。电路采用了互补放大结构,输入信号变化时,P 型沟道场效应晶体管(PMOS)和 N 型沟道场效应晶体管(NMOS)的电流大小变化相反,所以 P 管和 N 管的小信号跨导有相反变化的趋势。由于跨导之和的变化减小,电路的小信号增益随输入信号的变化减小,电路的线性度得以提高。

VGA 的增益变化通过悬浮在输出 P<sub>OP</sub> 端和 P<sub>ON</sub> 端的可调电阻阵列实现。电阻阵列是由 5 对 NMOS 电阻对并联而成

的,其中一对保持常导通,另外 4 对由 4 位二进制码 S<sub>8</sub>/S<sub>4</sub>/S<sub>2</sub>/S<sub>1</sub> 进行控制。二进制码的高低电平 V<sub>H</sub> 分别为 1.6 V、0.2 V,电阻阵列的中间共模点电平 V<sub>cm</sub> 设置为 900 mV。

假设 P 管和 N 管的跨导分别为 g<sub>mp</sub> 和 g<sub>mn</sub>,常导通的 NMOS 管的导通电阻为 R<sub>on0</sub>,由二进制码 S<sub>1</sub> 控制的 NMOS 管的导通电阻为 R<sub>on1</sub>,由 4 位二进制码(S<sub>8</sub>/S<sub>4</sub>/S<sub>2</sub>/S<sub>1</sub>) 控制的 NMOS 管的导通电阻分别为 R<sub>on1</sub>/8、R<sub>on1</sub>/4、R<sub>on1</sub>/2 和 R<sub>on1</sub>,其中 R<sub>on1</sub> 为 S<sub>1</sub> 所控制的 NMOS 管的导通电阻,则 VGA 的增益可以表示为:

$$A_v = (g_{mp} + g_{mn}) \left( R_{on0} \parallel \frac{R_{on0}}{8S_8 + 4S_4 + 2S_2 + S_1} \right) \quad (1)$$

从式(1)可以得到,当控制码为 0000 时,VGA 的增益最大值 A<sub>vmax</sub>=(g<sub>mp</sub>+g<sub>mn</sub>)R<sub>on0</sub>,当控制码为 1111 时,VGA 的增益最小值 A<sub>vmin</sub>=(g<sub>mp</sub>+g<sub>mn</sub>) (R<sub>on0</sub> ∥ R<sub>on1</sub>/15)。在 VGA 的增益调节作用下,驱动电路实现了电压增益范围为 13.94~20.24 dB。

### 2.2 CTLE 的设计

CTLE 电路在本驱动电路中的作用为对输入信号进行高频成分的增强,以补偿 EAM 的带宽不足,同时

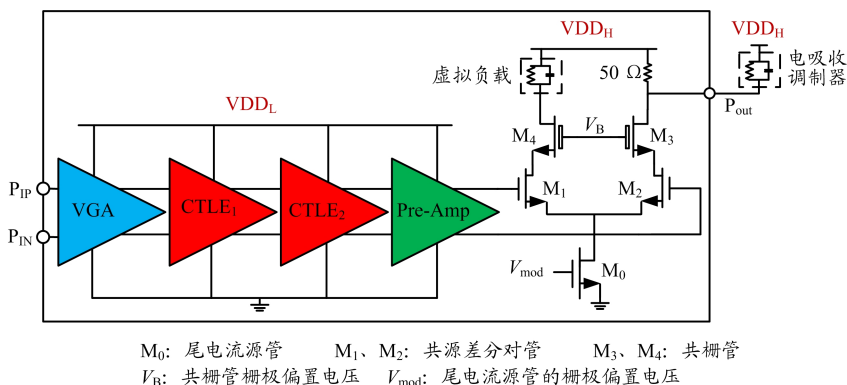


图 1 EML 驱动电路整体架构

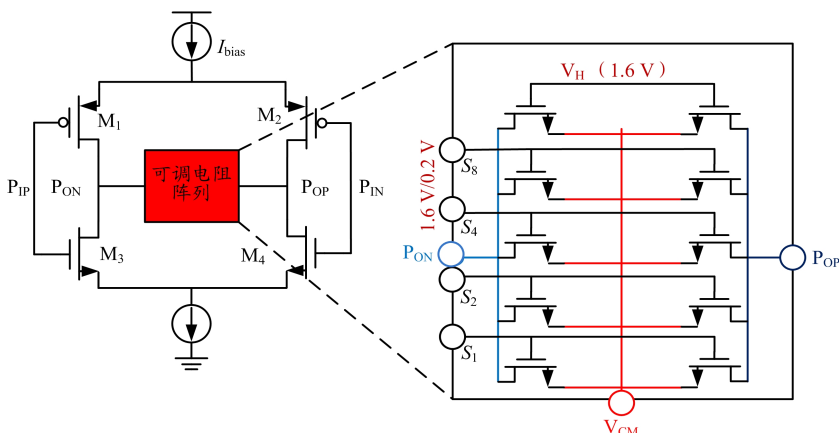


图 2 VGA 的电路原理图

可以补偿输入信号进入驱动电路之前在信道所受到的衰减,其电路原理图如图 3 所示。均衡器采用的是加源极退化电阻和电容的互补放大结构<sup>[11]</sup>。退化电容由一个固定大小的电容和可编程的电容阵列共同实现,可编程

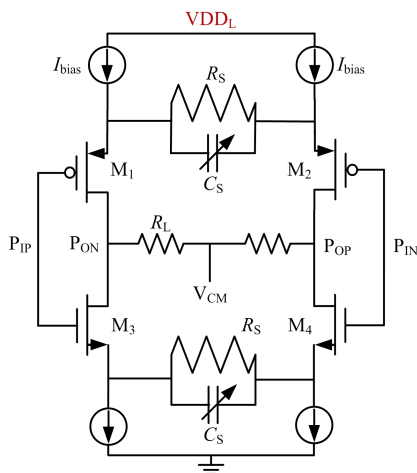


图 3 均衡器的电路原理图

电容阵列使得 CTLE 传输函数的零点位置可调,以达到不同的均衡特性,从而均衡器可以应对不同的输入信道衰减和 EAM 负载,使得驱动电路的实用性更高。

均衡器采用了两级 CTLE 级联,以实现更高的均衡强度,每一级的退化电阻  $R_S$  大小均为  $60\ \Omega$ ,电容  $C_S$  的调节范围为  $250\sim 560\ \text{fF}$ 。两级 CTLE 中,第一级的负载电阻的大小为  $50\ \Omega$ ,零点位置设置在  $8.29\ \text{GHz}$ ;第二级的负载电阻大小为  $25\ \Omega$ ,零点位置设置在  $18.69\ \text{GHz}$ 。

### 2.3 Pre-Amp 的设计

Pre-Amp 的电路原理图如图 4 所示。Pre-Amp 同样采用互补放大结构,另外还加入了阻容耦合网络,使得 P 管和 N 管的栅极偏置电压分离,P 管、N 管的栅极偏置分别设置为  $1.1\ \text{V}$ 、 $700\ \text{mV}$ ,避免输出电压摆幅大时管子(图 4 中的  $M_1\sim M_4$ )进入线性区,可以提高预放大器的线性度;另外,Pre-Amp 负载加入了电感进一步拓展带宽,负载电阻  $R$  的大小为  $25\ \Omega$ ,电感  $L$  的大小为  $118\ \text{pH}$ 。

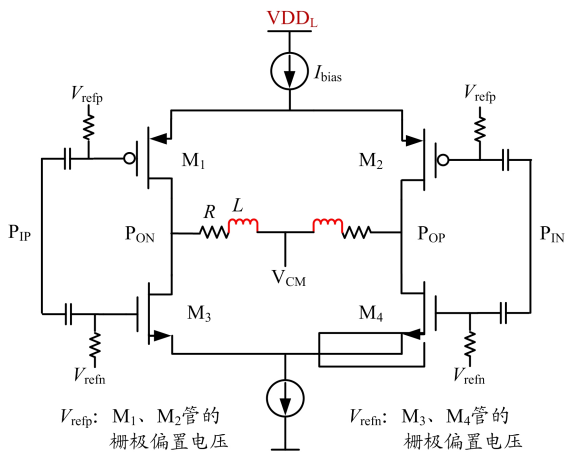


图 4 Pre-Amp 的电路原理图

### 2.4 输出级的设计

输出级的电路原理图如图 5 所示。输出级采用共源共栅结构,其中共源管为薄栅氧管,共栅管为厚栅氧管,使得输出级的输出节点在保持较高的耐压的同时输入寄生电容小,利于实现高速大输出电压摆幅。另外,在电流镜的输入侧加入了对应比例的差分对管<sup>[12]</sup>,保证电流镜两边的管子的漏源电压  $V_{ds}$  相等,使得电流得以按比例精确复制。共栅管的栅极采用了动态偏置,通过 2 个二极管连接的场效应晶体管(MOS)实现了共栅管栅极电压  $V_{B2}$  对尾电流源输出节点电压  $V_P$  的跟随。

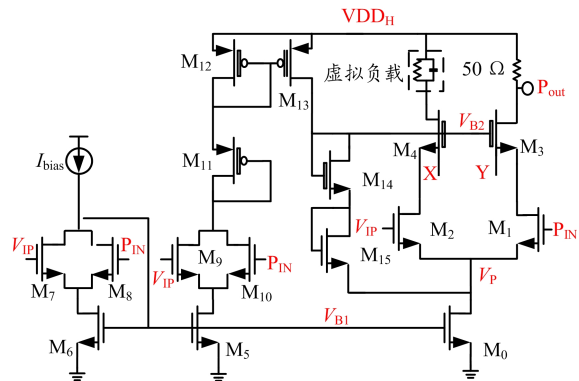


图 5 输出级的电路原理图

## 3 EML 驱动电路的仿真结果和分析

### 3.1 总谐波失真(THD)的仿真结果和分析

本文采用 TSMC 28 nm pdk 进行设计仿真。在驱动电路的增益为  $13.98\ \text{dB}$ 、输入频率为  $12.5\ \text{GHz}$ 、摆幅为  $0.16\sim 0.312\ \text{V}_{pp}$  ( $8\ \text{mV}$  间隔)的理想正弦波时,对输出摆幅为  $0.8\sim 1.2\ \text{V}_{pp}$  的电压波形进行快速傅里叶变换(FFT)分析,得到 THD 随输出摆幅的变化如图 6 所示。可以看出,当输出摆幅为  $1\ \text{V}_{pp}$  时,THD 大小为  $2.21\%$ ;当输出摆幅为  $0.8\ \text{V}_{pp}$  时,THD 大小仅为

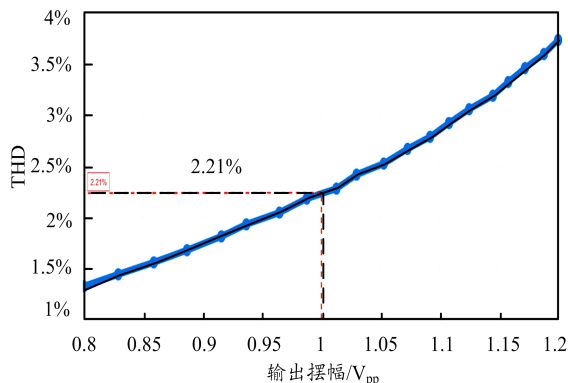


图 6 THD 随输出摆幅的变化

1.35%;在整个输出摆幅为 0.8~1.2  $V_{pp}$  的范围内,THD 均小于 4%。由图 6 可知,该驱动电路在输出 1  $V_{pp}$  的电压摆幅时,具有良好的线性度。

### 3.2 眼图的仿真结果

当输入摆幅为 0.21  $V_{pp}$ 、速率为 50 Gb/s 和上升、下降时间均为 5 ps 的伪随机 PAM4 信号时,得到单端输出的眼图如图 7 所示。可以看出,最大输出摆幅为 1  $V_{pp}$ ,3 个眼高分别为 0.32 V、0.36 V 和 0.32 V,眼宽分别为 23 ps、30 ps 和 23 ps,定时抖动均方根值大小为 9.9 ps、6.1 ps 和 9.9 ps。由图 7 可知,该驱动电路可以输出形状良好的眼图。

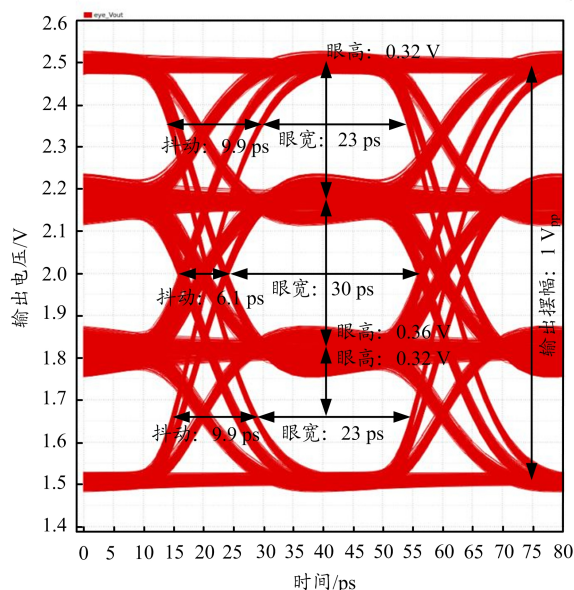


图 7 EML 驱动的输出眼图

## 4 结束语

本文设计了一种具有创新性结构的 EML 激光器驱动电路,在 28 nm CMOS 工艺下,采用 5 级级联的架构,包括 VGA、两级 CTLE、预放大器 and 输出级。其中,VGA、两级 CTLE 和预放大器均采用了互补放大的结构。VGA 的负载由线性区 NMOS 管构成的可调电阻阵列实现了增益可调;CTLE 引入了源极退化电阻和电容实现了信号高频增强;预放大器采用了阻容耦合的方式分离互补放大结构的 P 管和 N 管的栅极工作点以实现大的输出摆幅,另外还加入了峰化电感,实现进一步的高频增强;输出级采用了薄栅氧管和厚栅氧

管相配合的共源共栅结构,使得输出级保持输入寄生电容小的同时输出耐压高。仿真结果表明:本文所设计的驱动电路的小信号带宽为 27 GHz,电压增益为 13.98~20.24 dB;在 12.5 GHz 正弦输入下,输出摆幅为 1  $V_{pp}$  时输出的 THD 大小为 2.21%;整个驱动电路的总功耗为 340 mW,实现了 50 Gb/s PAM4 信号的传输,是一款具有高带宽、高线性度的外调制激光器驱动电路。

### 参考文献:

- [1] IMT-2020(5G)推进组. 5G 概念白皮书[EB/OL]. [2020-12-15]. <https://www.txrjy.com/thread-1000846-1-1.html>.
- [2] MILLER D A B, OZAKTAS H M. Limit to the bit-rate capacity of electrical interconnects from the aspect ratio of the system architecture[J]. Journal of Parallel and Distributed Computing, 1997, 41(1): 42-52.
- [3] XIE C. Optical interconnects for data centers [C]//IEEE. Proceedings of IEEE Photonics Conference. Piscataway: IEEE, 2017: 59-60.
- [4] KACHRIS C, TOMKOS I. A survey on optical interconnects for data centers [J]. IEEE Communications Surveys & Tutorials, 2020, 14: 1021-1036.
- [5] RAZAVI B. Design of integrated circuits for optical communications [M]. 第 2 版. 北京:电子工业出版社,2017.
- [6] GOVIND P A. Fiber-optic communications systems[M]. 第 3 版. 北京:电子工业出版社,2002.
- [7] ZHANG X, LIU X, SPIEGELBERG M, et al. A DC-51.5 GHz electro-absorption modulator driver with tunable differential DC coupling for 3D wafer scale packaging [C]// IEEE. Proceedings of IEEE BiCMOS and Compound Semiconductor Integrated Circuits and Technology Symposium. Piscataway: IEEE, 2019: 5-8.
- [8] HANNES R, JORIS L, JOCHER V, et al. 70 Gb/s 0.87 pJ/bit GeSi EAM driver in 55 nm SiGe BiCMOS[C]//IEEE. Proceedings of 2018 European Conference on Optical Communication (ECOC). Piscataway: IEEE, 2018: 1504-1514.
- [9] HWANG J, JEONG G S, BAE W, et al. A 32 Gb/s, 201 mW, MZM/EAM cascode push-pull CML driver in 65 nm CMOS. IEEE Transactions on Circuits and Systems, 2018, 65: 436-440.
- [10] IMT-2020 (5G) 推进组. 50G PAM4 technical white paper [EB/OL]. [2020-12-15]. <https://carrier.huawei.com/~media/CNBBG/Downloads/Technical%20Topics/Fixed%20Network/Acrobat%20Document-cn.pdf>.
- [11] PISATI M, BERNARDINIS F D, PASCALE P, et al. A sub-250mW 1-to-56Gb/s continuous-range PAM-4 42.5 dB IL ADC/DAC-based transceiver in 7 nm FinFET[C]//IEEE. Proceedings of 2019 IEEE International Solid-State Circuits Conference. Piscataway: IEEE, 2019: 116-118.
- [12] RAZAVI B. Design of analog CMOS integrated circuits [M]. 第 2 版. 北京:机械工业出版社,2005.