

一种新型的 HDB3 编解码电路

王 雪, 黄海生, 姚秋瑞

(西安邮电大学 电子工程学院, 西安 710121)

摘要: 在实际的数字基带通信系统中, 为使信息在基带中顺利传输, 必须将不归零码(NRZ)信号编码成适合基带传输的码元。由于在发送时发送端不发送时钟信息, 但为了保证收发两端信号同步, 需要在接收端从信息流中提取时钟信息来恢复数据。提出一种新型的三阶高密度双极性码(HDB3)的编解码电路, 在接收端利用全数字锁相环(PLL)的原理, 采用小数分频器设计一种具有环路滤波特性的数控振荡器(DCO)。经验证: 在输入信号的频率范围为 $2.048 \text{ MHz} (\pm 70 \text{ ppm})$ 的情况下, 新型的 HDB3 编解码电路可以成功恢复出定时信息和数据。

关键词: 光纤通信; 全数字锁相环; 数控振荡器; 三阶高密度双极性码; 位同步

中图分类号: TN492 **文献标识码:** A **文章编号:** 1002-5561(2020)03-0052-06

DOI: 10.13921/j.cnki.issn1002-5561.2020.03.013

开放科学(资源服务)标识码(OSID):



New HDB3 encoding and decoding circuit

WANG Xue, HUANG Haisheng, YAO Qiurui

(School of Electronic Engineering, Xi'an University of Posts and Telecommunications, Xi'an 710121, China)

Abstract: In the actual digital baseband communication system, in order to transmit information smoothly in the baseband, non-return to zero (NRZ) signal must be coded into code elements suitable for baseband transmission. Because the sender does not send clock information when sending, but in order to ensure the synchronization of the signal between the sender and the receiver, it is necessary to extract clock information from the information stream at the receiver to recover the data. A novel encoding and decoding circuit for third-order high density bipolar code (HDB3) is proposed. The principle of all digital phase-locked loop (PLL) is used at the receiver. The decimal frequency divider is used to design a digital controlled oscillator (DCO) with loop filtering characteristics. Experiments show that the new HDB3 codec circuit can successfully recover timing information and data in the input signal frequency range of $2.048 \text{ MHz} (\pm 70 \text{ ppm})$.

Key words: optical fiber communication; all digital phase locked loop; digital controlled oscillator; third-order high density bipolar code; bit synchronization

0 引言

三阶高密度双极性码(HDB3)是一种广泛使用的基带信号, 关于 HDB3 编解码的电路研究已有不少。文献[1]以单片机为核心, 结合外围电路, 实现了 HDB3 编/译码器的功能。文献 [2] 基于专用集成电路进行

收稿日期: 2019-05-23。

基金项目: 国家自然科学基金—地区科学基金项目(61661049)资助; 西安邮电大学研究生创新基金资助项目(CXJJLY2018029)资助。

作者简介: 王雪(1996-), 女, 硕士研究生。现就读于西安邮电大学电子与通信工程专业, 研究方向为电路与系统, 主要从事 E1 以太网映射器的研究。参与西安邮电大学研究生创新基金项目“基带传输的 CDR 技术研究”。曾获“华为杯”第十二届中国研究生电子设计竞赛获全国团队“三等奖”、第六届研究生电子设计竞赛西北赛区“三等奖”。



HDB3 编码电路和数据恢复模块的设计, 但是电路结构复杂。文献 [3] 基于现场可编程逻辑的方法介绍 HDB3 编码电路。由此可见, 现存的编解码电路只是对编码和数据恢复结构进行了研究。而本文在提出新型 HDB3 编码电路的同时, 在解码模块也提出一种时钟恢复的电路方法。

1 HDB3 编解码电路

1.1 编码电路框架

本文根据 HDB3 编码原理, 将编码电路分为 4 连 0 检测模块、取代节选取模块和极性控制模块 3 个部分。HDB3 编码电路框图如图 1 所示。

图 1 中, 系统输入时钟 (clk) 频率为 2.048 MHz ;

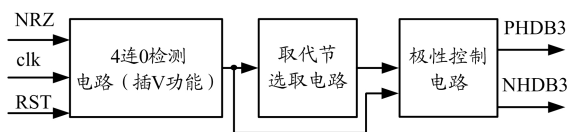


图 1 HDB3 编码电路框图

系统复位(RST)低电平有效;PHDB3 和 NHDB3 为输出的 HDB3 的正数据和负数据。其中,4 连 0 检测模块是对输入的不归零码(NRZ)进行 4 连 0 检测同时完成插入破坏码 V 功能。取代节选取模块是检测两 V 之间的非 0 个数是否为偶数,如果为偶数,将 4 连 0 的第一个非 0 码变为平衡码 B,即取代节选取为 B00V,与极性控制电路相协作,使得 B 与前一非 0 极性相反,且后边非 0 码的极性从 V 码开始交替变化;如果为奇数,取代节选取为 000V,与极性控制电路相协作,使得 V 与前一非 0 极性相同^[3]。极性控制电路和取代节选取电路相互作用主要负责编码电路的极性调控问题。

1.2 编码电路

1.2.1 4 连 0 检测电路

4 连 0 检测电路如图 2 所示,由 4 个触发器 D 和门电路 C1、C2、C3、C4 组成,其中 Q0、Q1、Q2、Q3 为触发器 D0、D1、D2、D3 的输出。当输入 NRZ 不为 4 个连续 0 时,输出端 P 端一定为 1,NRZ 经 4 个时钟后到达 Q3,Q3 输出为 NRZ 的反相。当依次输入 NRZ 为连续 4 个 0 时,此时 P 为 0,使 C2 门输出为 1 然后送给下一级触发器 D,这部分完成插入破坏码 V 的功能。当下一时钟沿来临时,Q1 输出 1,此 1 经 C3 输出为 0,使得 P 端为 1,则 C2 门打开,C2 端输出与前一时钟输入的 NRZ 一致,继续检测下一组 4 连 0,此过程保证了当有超过 4 个 0 连续输入时也能正确的分组检测和插 V。再经过 2 个时钟后,插入的 V 到达 D3,Q3 输出为 0,即连续输入 4 连 0 后,经过 4 个时钟后到达 D3 时,Q3 端依次输出为 1110。

4 连 0 检测电路不仅对 4 连 0 进行检测,还同时

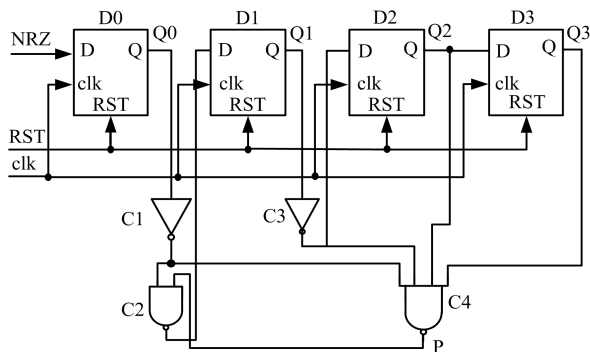


图 2 4 连 0 检测电路

完成插入破坏码 V 的功能。此外,输出端 P 和 Q3 控制取代节选取电路选用正确的取代节,同时作用于极性控制电路来正确控制取代节的极性。

1.2.2 取代节选取电路

取代节选取电路如图 3 所示。门级电路 C5、C6 和 C7 组成产生电路 B2。触发器 D4 和门 C14 组成带使能端 E 的模二计数器,对两破坏点之间的 1 进行计数,当两 V 之间 1 的个数为偶数时,Q4 输出为 0;两 V 之间 1 的个数为奇数时,Q4 输出为 1。产生电路 B2 与模二计数器组合组成了取代节选取电路。当输入 NRZ 为正常码时,P 为 1,Q3 输出为 NRZ 的反相,B2 输出与 NRZ 一致。当输入 NRZ 码为 4 连 0 时,若 Q4 为 0 且 4 连 0 依次到达 Q3 端时,B2 依次输出 B00V(B、V 值为 1);若 Q4 为 1 时且 4 连 0 依次到达 Q3 端时,B2 依次输出 000V(V 值为 1)。所以,可以看出 B2 输出的码元为本文所需要输出的码元。

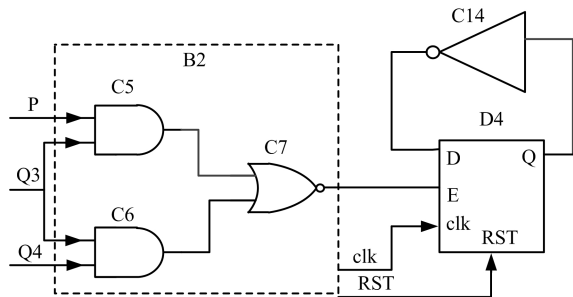


图 3 取代节选取电路

1.2.3 极性控制电路

极性控制电路如图 4 所示。P 和 Q3 为 4 连 0 检测电路输出的结果,NQ4 为取代节选取电路 Q4 的取反结果。D5 和门 C13 组成带使能端的模二计数器。当 B1 每来一个 1 时,下一时钟 Q 输出前一时刻的反相值,这就使得门 C11 和门 C12 交替打开,将 B2 从门 C11 或门 C12 输出,实现极性交替;而 B1 是由 P、Q3 和 NQ4 共同决定。当输入正常 NRZ 时,4 个时钟后 B1 和 NRZ 一致。

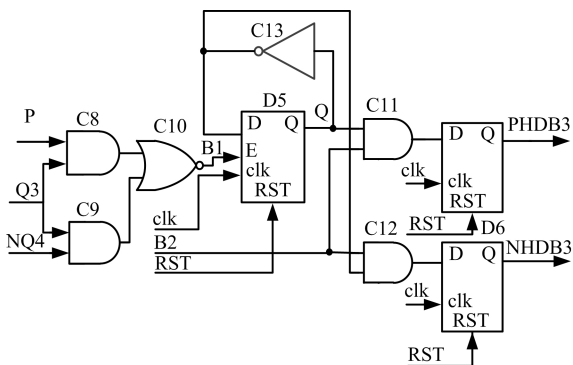


图 4 极性控制电路

当输入为 4 连 0 NRZ 的前一时钟, B1 端一定为 1, 使得 D5 下一时钟输出反相, 此过程保证了 4 连 0 的取代节第一位 B 或 0 与前边最近的 1 极性相反。若两 V 之间 1 的个数为偶数, 则 NQ4 为 1, 当 4 连 0 的插入的 B 和后边 2 个 0 依次到达 Q3 时, 此时 B1 为 0, 经下一时钟 D5 输出后极性保持不变, 也就保证了插入 V 的极性与 B 相同。当插入的 V 到达 Q3 时, B1 为 1, 下一时钟经 D5 输出反相, 也就保证了 V 后边最近的 1 与 V 极性相反。

若两 V 之间 1 的个数为奇数, 则 NQ4 为 0, 当第一个 0 到达 Q3 时, B1 为 1, 下一时钟 D5 反相, 也就使得现在的极性恢复至和 4 连 0 前的非 0 码相同。当第二、三个 0 到达 Q3 时, B1 为 0, 下一时钟极性保持不变, 也就使得插入的 V 的极性与 4 连 0 前的非 0 码相同。当插入的 V 到达 Q3 时, B1 为 1, 下一时钟经 D5 输出反相, 也就保证了 V 后边最近的 1 与 V 极性相反。

本文设计的编码电路在检查出 4 连 0 的同时完成插 V 的工作, 采用顺序的思想, 利用 4 连 0 对 P 的影响和 Q3 的输出, 以及模二计数结果 Q4 来控制 B2 的输出, B2 再和此时的极性控制电路相结合输出极性 HDB3, 每个 NRZ 进入 D0 后经 5 个时钟上升沿便可从 NHDB3 或 PHDB3 输出, 电路设计巧妙、简单, 输出延时小。

2 HDB3 解码电路

2.1 解码电路基本框架

HDB3 解码电路由时钟恢复电路、编码检查电路和数据恢复电路组成。HDB3 解码电路如图 5 所示。

时钟恢复电路采用全数字锁相环(PLL)从线路接收的 PHDB3 和 NHDB3 提取定时时钟。编码检查电路检查编码的可能性错误及线路传输过程中各种干扰的影响^[4,5]。数据恢复电路是以恢复出来的时钟为基准对 PHDB3 和 NHDB3 进行采样, 精准去除插入的 B 和 V, 恢复出输入的 NRZ。

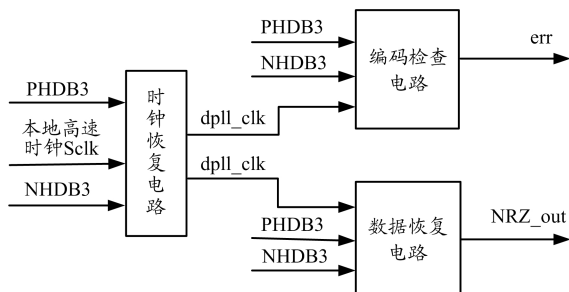


图 5 HDB3 解码电路

2.2 时钟恢复电路

时钟恢复电路采用全数字 PLL 来实现。传统的数字 PLL 是由鉴相器(DPD)、环路滤波器和数控振荡器(DCO)组成^[6,7]。滤波器的作用是对输入噪声起抑制作用, 并且对环路的校正速度起调节作用。而本文设计一种 DCO, 使其具有滤波和调相作用, 使得电路更加利于集成。时钟恢复电路电路框图如图 6 所示。

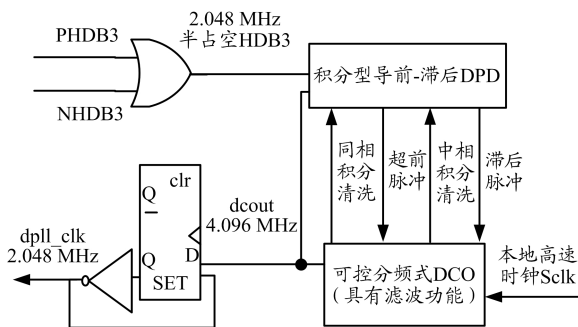


图 6 时钟恢复电路框图

接收端将接收到的 PHDB3 和 NHDB3 通过组合逻辑转换成 1 路 2.048 MHz 半占空的 HDB3。我们需要将 dppll_clk 上升沿锁定在 HDB3 的 $2k\pi + \pi/2$ 处, 以便于通过该时钟进行数据恢复。因为 HDB3 为归零码, 为了便于获取超前、滞后信息, 本文将一个时钟周期的 HDB3 看为 2 个周期的 HDB3_1, 与本地基准时钟 Sclk 经过 DCO 产生的本地估算信号 dcout 通过 DPD 进行鉴相, Sclk 频率为 58.32 MHz。为了恢复出数据, 需要将 dcout 的上升沿锁定在 HDB3_1 的 π 相位处。若 dcout 超前于 HDB3_1 的 π 相位处, 则 DPD 产生超前脉冲; 若 dcout 滞后于 HDB3_1 的 π 相位处, 则 DPD 产生滞后脉冲。超前脉冲和滞后脉冲经过 DCO 进行相位调节, 从而产生新的 dcout 与此时的 HDB3_1 进行鉴相。dcout 经过二分频生成 dppll_clk, 该时钟可以对 HDB3 进行采样, 根据解码原理恢复出信息码 NRZ_out。

DCO 核心为小数分频器, 其结构如图 7 所示。由 Sclk 和 HDB3_1 的频率关系知, 需要对 Sclk 进行 14.23828125 分频产生 dcout。由于:

$$M.n = \frac{M \times N_1 + (M+1) \times N_2}{N_1 + N_2} = M + \frac{N_2}{N_1 + N_2} \quad (1)$$

其中, 式(1)中 M 表示小数的整数部分, n 表示小数的小数部分, N_1 和 N_2 分别表示在一个分频周期中 M 分频和 $M+1$ 分频的次数。将 14.23828125 代入式(1)中, 则:

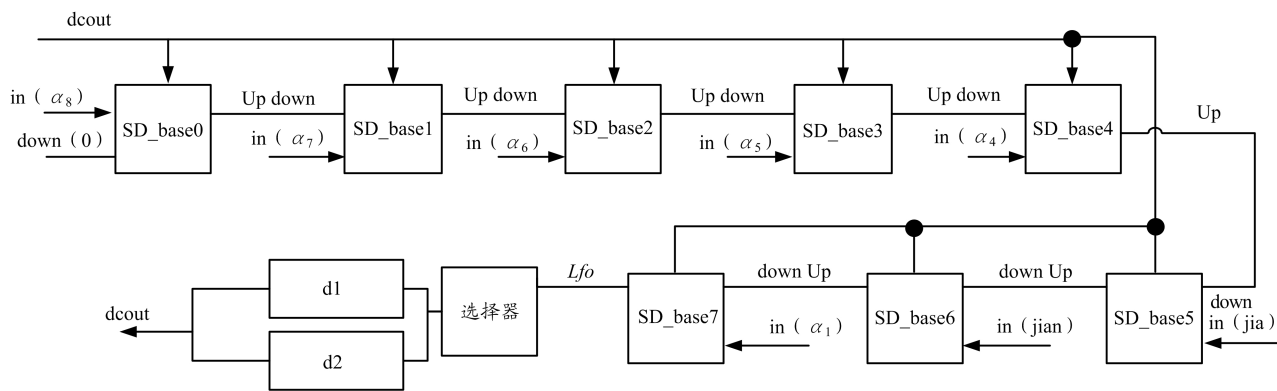


图 7 DCO 结构框图

$$14.23828125 = 14 + \frac{N_2}{N_1 + N_2} = 14 + \frac{61}{256} \quad (2)$$

由上式可知,在 256 次分频中,若对 Sc1k 进行 195 次 14 分频、61 次 15 分频,即可实现对 Sc1k 进行 14.23828125 分频。为了便于硬件设计来实现小数分频,小数部分 *dec* 可以表示为:

$$dec = \sum_{i=1}^{\infty} \alpha_i 2^{-i} \quad (3)$$

其中, α_i 为展开成 2^{-i} 形式的每一级的系数。

将 0.23825125 按照式(3)展开,则:

$$0.23828125 = \frac{1}{8} + \frac{1}{16} + \frac{1}{32} + \frac{1}{64} + \frac{1}{256} \quad (4)$$

$$\alpha_i = \begin{cases} 1, i=3, 4, 5, 6, 8 \\ 0, i=1, 2, 7 \end{cases} \quad (5)$$

因此需要 8 级累加器来实现小数分频。图 7 中, SD_base0 ~ SD_base7 为 8 级累加器, 基本单元为全加器构成的累加器。dcout 为计数器 d1、d2 的计数结果产生的时钟, 值为 $q^{[3]}$, 同时也作为累加器的控制时钟。in 和 down 为累加器输入端, Up 为进位端与下一级的 down 端相连, in 端与 α_i 相连。

在此电路中,若无超前和滞后脉冲, {jia,jian} 为 2'b10,累加器构成的小数部分为 0.23828125,每当有 dcout 上升沿来时,电路进行 0.23828125 累加,Lfo 为进位。Lfo 为 0 时,通过控制计数器 d1 对 Sc1k 进行 14 分频;Lfo 为 1 时,通过控制计数器 d2 对 Sc1k 进行 15 分频,计数结果为 q 。最后,再对 dcout 进行二分频,即可得到 dpll_clk。SD_base5 和 SD_base6 的 in 为 {jia,jian}。若有超前脉冲,{jia,jian} 为 2'b01;若有滞后脉冲,{jia,jian} 为 2'b00。

当有超前脉冲时, {jia,jian } 为 2'b01, 累加器构成的小数为:

$$\sum_{i=1}^{\infty} \alpha_i 2^{-i} = 0.36328125 = \frac{93}{256} = \frac{N_2}{N_1 + N_2} \quad (6)$$

当有滞后脉冲时, {jia,jian } 为 2'b00, 累加器构成的小数为:

$$\sum_{i=1}^{\infty} \alpha_i 2^{-i} = 0.11328125 = \frac{29}{256} = \frac{N_2}{N_1 + N_2} \quad (7)$$

若在 256 次分频中,对 Sclk 进行 14 分频 227 次、15 分频 29 次,即可实现 14.11328125 分频。若在 256 次分频中,对 Sclk 进行 14 分频 163 次、15 分频 93 次,即可实现 14.36328125 分频。若在 256 次分频中超前、滞后脉冲次数相同均为 N ,则分频比 Z 为:

$$Z = \frac{256-2N}{256} \times 14.23828125 + \frac{N}{256} \times 14.36328125 + \frac{N}{256} \times 14.36328125 = 14.23828125 \quad (8)$$

由式(8)可知,在 256 次分频中当超前脉冲和滞后脉冲次数相同时,分频比抵消,电路不会受到超前和滞后脉冲的影响,对 Sclk 进行 14.23828125 分频,此分频比正好为正常值,由此可见该 DCO 有滤波特性。

若在 256 次分频中,无滞后脉冲,超前脉冲次数为 N_1 ,则分频比 Z 为:

$$Z = \frac{256 - N_1}{256} \times 14.23828125 + \frac{N_1}{256} \times 14.36828125 \quad (9)$$

因为 N_1 的范围介于 1~256, 所以 Z 的范围为 14.23876953125~14.36328125。则 f 调节范围为:

$$\frac{f_{\text{Selk}}}{14.23876953125} \sim \frac{f_{\text{Selk}}}{14.36328125} \quad (10)$$

其中, $f_{\text{Sclk}}=58.32 \text{ MHz}$ 。所以对 Sclk 经过 256 次分频后导致将 dcout 的时钟上升沿推迟 $0.00048828125T_{\text{Sclk}} \sim 0.125T_{\text{Sclk}}$ 。其中, $T_{\text{Sclk}}=1/f_{\text{Sclk}}$ 。

若在 256 次分频中,无超前脉冲,滞后脉冲次数为 N_2 ,则分频比 Z 为:

$$Z = \frac{256 - N_2}{256} \times 14.23828125 + \frac{N_2}{256} \times 14.11328125 \quad (11)$$

因为 N_2 的范围为 1~256, 所以 Z 的范围为 14.23779296875~14.11328125。则 f 调节范围为:

$$\frac{f_{\text{Sclk}}}{14.23779296875} \sim \frac{f_{\text{Sclk}}}{14.11328125} \quad (12)$$

因此 Sclk 经过 256 次分频后导致将 dcout 的时钟上升沿提前 $0.00048828125T_{\text{Sclk}} \sim 0.125T_{\text{Sclk}}$ 。若在 256 次分频中, 超前脉冲次数 N_1 大于滞后脉冲次数 N_2 时, 由 DCO 的滤波特性可以将其等效为超前脉冲次数为 $N_1 - N_2$ 次, 滞后脉冲为 0 次, 此过程对 dcout 的上升沿向后推迟 $0.00048828125T_{\text{Sclk}} \sim 0.125T_{\text{Sclk}}$ 。同理, 在 256 次分频中, 滞后脉冲次数 N_2 大于超前脉冲 N_1 时, 将其等效为滞后脉冲次数为 $N_2 - N_1$ 次, 超前脉冲为 0 次, 此过程对 dcout 的上升沿向前推进范围为 $0.00048828125T_{\text{Sclk}} \sim 0.125T_{\text{Sclk}}$ 。由分析可知, DCO 具有相位调节特性。

综上所述, 本文设计的电路将滤波功能和调相功能集成在一个 DCO 上, 使得电路设计更加简单。经过计算, 该 PLL 允许的输入频偏为 2.048 MHz (± 70 ppm), PLL 的输出抖动为 0.035UI, 满足 ITU-T 的规定。

2.3 编码规则检查电路

根据编码规则分析接收端主要有以下 3 种误码形式: PHDB3 和 NHDB3 同时为 1; 当 PHDB3 和 NHDB3 并轨信号中出现 4 连 0 时; PHDB3 和 NHDB3 并轨信

号中相邻 V 码之间的 1 为偶数。编码规则按照以下方法检查。

①将 PHDB3 和 NHDB3 经过与门输出, 若同时为 1, 则输出为 1, 其它情况为 0。

②将 PHDB3+NHDB3 的结果经过每级触发器 D 输出结果取反后移位给下一级触发器 D, 共 4 级触发器 D, 将每级触发器输出的取反结果作为 4 输入与门的输入端。当 PHDB3+NHDB3 为 4 连 0 时, 4 输入与门输出为 1, 其它情况为 0。

③将 PHDB3+NHDB3 在时钟上升沿进行采样。BADP 为解码电路产生的破坏点的标志位。当破坏点来时, BADP 为 0, D 触发器输出 Q 为 1。下一个破坏点来之前, BADP 一直为 1。在 BADP 为 1 的情况下, 当 PHDB3+NHDB3 采样为 1 时, 触发器 D 输出 Q 值翻转, 形成模二计数; 当 PHDB3+NHDB3 采样为 0 时, Q 保持不变。当两 V 之间 1 的个数为偶数, Q 为 1, 否则 Q 为 0。

将上述 3 种情况的汇合输出, 若有一方输出为 1, 即有错误检出。

2.4 数据恢复电路

数据恢复电路如图 8 所示。在上电复位后, 正常情况下, 经过移位寄存器和组合逻辑, x 和 y 输出为 1, 所以 BADP 端输出为 1。或门 C24 将 2 路单极性码转换成 1 路码。经过移位取反后 C28 输出为原 NRZ。

①当取代节是从 PHDB3 进来时, 4 个时钟后, 此时取代节第一位到达门 C27 输入端, 第四位到达 C35 输入端, 此时 x 为 0 从而使得门 C27 和门 C35 强制输

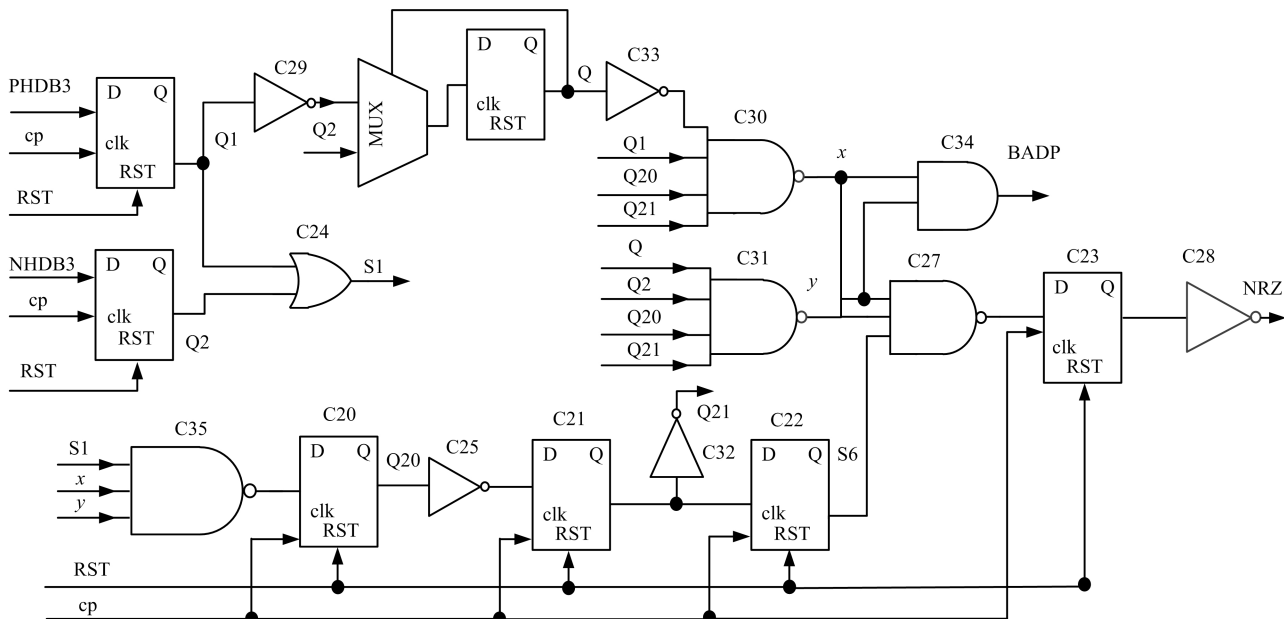


图 8 数据恢复电路

电路和取代节选取电路产生相应的 PHDB3 和 NHDB3。在时钟恢复电路里, 根据输入的 NHDB3 和 PHDB3 经过 PLL 恢复出定时信息 $dpll_clk$ 。而数据恢复电路在 $dpll_clk$ 的作用下, 再根据解码原理恢复出原来的 NRZ。

3.2 编解码电路仿真

本文使用 Verilog 硬件描述语言对电路进行描述, 在 modelsim 上对该电路进行功能仿真。复位结束后, 当时钟上升沿来时采样到 NRZ, 观察 4 个时钟后所生成的 PHDB3 和 NHDB3。

解码采用还回测试法, 将编码输出的 PHDB3 和 NHDB3 接解码电路中, 根据本地基准时钟 $Scik$ 从 PHDB3 和 NHDB3 恢复出 $dpll_clk$, 再以 $dpll_clk$ 为采样时钟对 PHDB3 和 NHDB3 进行数据恢复。仿真结果表明恢复出来的数据和输入的数据一致。

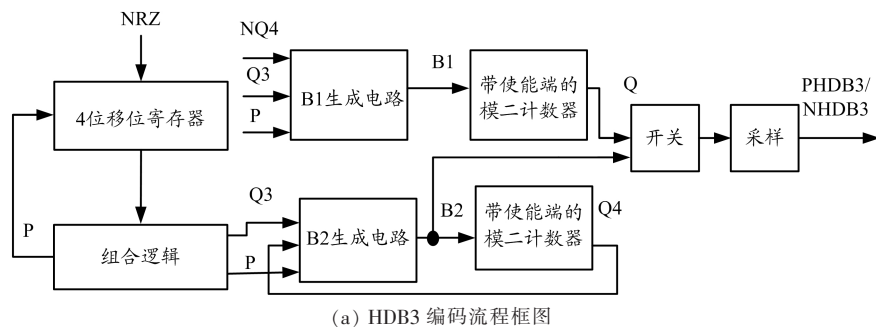
4 结束语

本文详细地介绍了 HDB3 的编解码电路设计原理, 并使用 Verilog 硬件描述语言对该电路进行描述及功能仿真, 经过大规模输入数据验证了输出与输入的匹配性。该电路设计简单, 已在 Altera 公司的现场可编程门阵列开发板上得到验证, 且已经用于 4 路

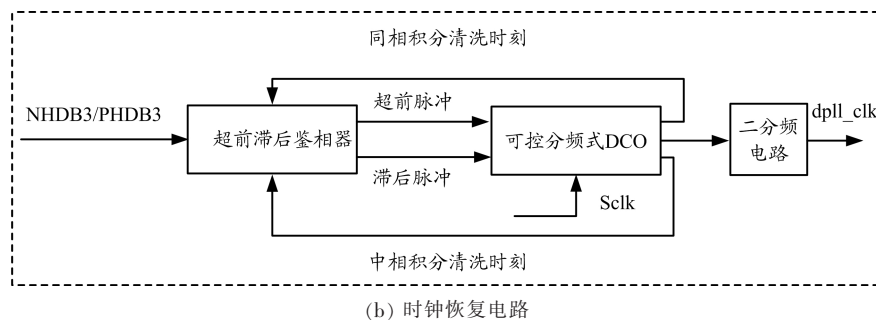
E1 数据在以太网传输的项目中。后期可以将时钟恢复电路编写算法用于不同时钟频率的情况下, 使 DCO 满足滤波和调相作用。

参考文献:

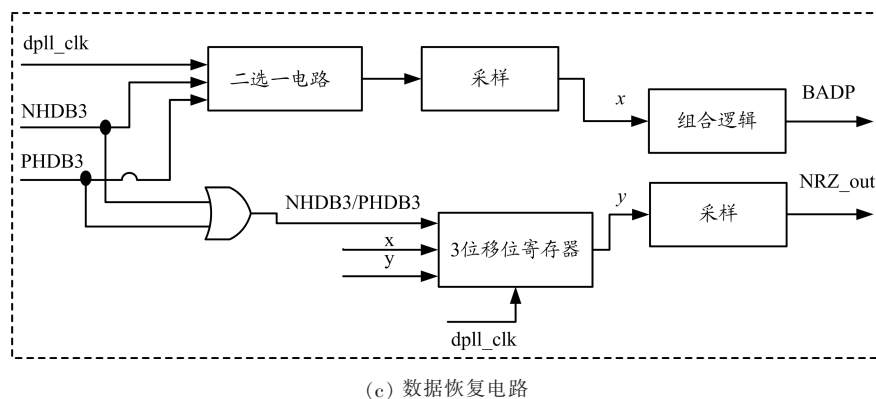
- [1] 林战平. 基于单片机的 HDB3 编/译码器的设计与实现[J]. 光通信技术, 2013, 37(6): 25-27.
- [2] 梁晓琳, 殷严刚, 王小华. HDB_3 编码器 ASIC 的设计[J]. 现代电子技术, 2013, 36(6): 133-135.
- [3] 崔洲涓, 胡辽林. SDH 中 HDB3 编解码电路的 FPGA 实现[J]. 光通信技术, 2011, 35(3): 40-42.
- [4] 张仡. 基于 LVDS 接口的时钟数据恢复技术研究[D]. 北京: 北京邮电大学, 2013.
- [5] 平原, 吕建新. 基于 E1 接口的时钟相位同步技术的研究[J]. 光通信研究, 2018(3): 17-20.
- [6] 许家榆, 黄启俊, 罗将, 等. 一种用于 E1 接口的全数字锁相环[J]. 微电子学, 2017, 47(5): 658-661.



(a) HDB3 编码流程框图



(b) 时钟恢复电路



(c) 数据恢复电路

图 9 HDB3 编解码流程框图

出为 1。这些 1 经过移位和取反, 输出到 NRZ 端为 0。即此过程将取代节 1001 或 0001 恢复成 0000。

②当取代节是从 NHDB3 进来时, 4 个时钟后, 此时刚好取代节第一位到达 C27 输入端, 第四位到达 C35 输入端, 此时 y 为 0 使得门 C27 和门 C35 强制输出 1。这些 1 经过移位和取反, 输出到 NRZ 端为 0。即此过程将取代节 1001 或 0001 恢复成 0000。

通过 x 、 y 可以确定破坏点 V 的位置, 当 BADP 为 0 时, 说明该点是破坏点。

3 HDB3 编解码电路仿真

3.1 流程框图

HDB3 编解码流程框图如图 9 所示。编码仿真时的输入端口为串行频率为 2.048 MHz 的 NRZ, 根据 4 连 0 检测电路产生 Q3 和 P, Q3 和 P 作用于极性控制