

符合 JESD204B 协议的传输层电路设计

陈婷婷^{1,2}, 陆 锋^{1,2}, 万书芹², 邵 杰²

(1.江南大学 物联网工程学院,江苏 无锡 214122; 2.中国电子科技集团公司 第五十八研究所,江苏 无锡 214035)

摘要:为了匹配实际应用中链路工作模式,在深入理解 JESD204B 协议理论的基础上,设计了一种通用的传输层电路,采用三级映射结构实现发送端、接收端传输层的组帧、解帧功能,建立 Verilog 编译模拟器(VCS)验证平台进行功能验证。仿真结果表明:该电路能够按照设定的链路工作模式完成采样数据与帧格式数据间的转换,实现组帧与解帧功能;基于 65 nm 标准工艺库综合评估,电路单通道时钟最高频率为 1.25 GHz,能够达到协议支持的最高传输速度 12.5 Gb/s。

关键词:JESD204B 协议;传输层;组帧;解帧;Verilog 设计

中图分类号:TN47 **文献标志码:**A **文章编号:**1002-5561(2022)01-0086-05

DOI:10.13921/j.cnki.issn1002-5561.2022.01.018

开放科学(资源服务)标识码(OSID): 

Design of transport layer circuit in accordance with JESD204B protocol

CHEN Tingting^{1,2}, LU Feng^{1,2}, WAN Shuqin², SHAO Jie²

(1. College of IoT Engineering, Jiangnan University, Wuxi Jiangsu 214122, China;

2. The 58th Research Institute, CETC, Wuxi Jiangsu 214035, China)

Abstract: In order to match the link working mode in practical application, based on the in-depth understanding of JESD204B protocol theory, a general transmission layer circuit is designed, and the three-level mapping structure is used to realize the framing and deframing functions of the transmission layer at the sender and receiver. This paper establishes Verilog compilation simulator (VCS) verification platform for function verification. The simulation show that the circuit can complete the conversion between sampling data and frame format data according to the set link working mode, and realize the framing and deframing functions, and based on the comprehensive evaluation of 65 nm standard process library, the maximum frequency of single channel clock of the circuit is 1.25 GHz, which can reach the maximum transmission speed supported by the protocol of 12.5 Gb/s.

Key words: JESD204B protocol, transport layer, framing, deframing, Verilog design

0 引言

为了解决并行接口随着数据传输速度不断提升而导致的引脚数量增加、印制电路板布线困难^[1]等问题,JESD204 系列串行数据通信协议应运而生^[2]。目前,高速高精度转换器中,基于 JESD204B 协议的高速串行接口是使用最为广泛的接口之一^[3],能够实现现场可编程逻辑/专用集成电路(FPGA/ASIC)与转换器间

的高速互联^[4]。

JESD204B 协议规定了传输层中转换器与未加扰的八位组之间的 4 种映射方式,结合实际应用中每个器件中转换器的数量、通道的数量和单个转换器每帧采样样本数等链路参数,可实现不同的工作模式^[5]。但是,在链路参数发生改变时,设计的传输层电路不能进行知识产权复用,适用性降低。文献[6]基于 AD9144 芯片,设计了满足 10 种工作模式的发送端传输层电路,但只适用于转换器分辨率和样本总位数为 16 bit 的情况。文献[7]中采样数据位宽为 12 bit,利用 4 个控制位和尾位对采样数据进行填充,使数据无需进行跨通道传输,简化了设计思路 and 成本,但是该方案仅适用于转换器分辨率为 12 bit 的应用需求,且在相同的通道传输速率下需要使用更多的通道,增加了硬件开销。

本文基于 JESD204B 协议规范,针对样本总位数

收稿日期:2021-07-16。

基金项目:国家自然科学基金项目(批准号:61704161)资助。

作者简介:陈婷婷(1997—),女,江苏泰州人,硕士研究生,就读于江南大学物联网工程学院集成电路工程专业,主要研究方向为大规模集成电路设计,负责转换器接口电路的设计和验证工作。



分别为 12 bit 和 16 bit 的 2 种情况,设计一种符合 JESD204B 协议的传输层电路,支持 9~16 位转换器分辨率。

1 传输层电路工作原理

传输层位于应用层和数据链路层之间,用于实现转换器采样数据和帧格式数据之间的转换。在发送端,传输层电路中原始采样数据按照应用层的链路配置映射为帧格式数据,实现组帧功能。在接收端,传输层电路中数据链路层的帧格式数据将还原为原始采样数据,实现解帧功能,用于后续数据处理。JESD204B 高速接口传输层数据流向如图 1 所示,传输层中涉及的链路配置参数如表 1 所示。

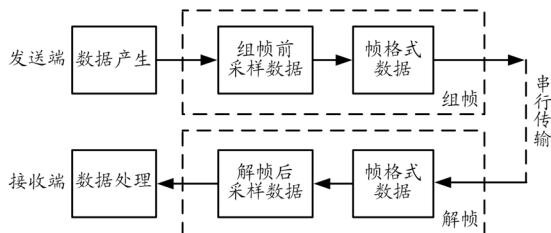


图 1 传输层数据流向

1.1 发送端传输层工作原理

根据 JESD204B 协议规定的 4 种映射机制:单个转换器输出样本映射到单个通道中、单个转换器输出样本映射到多个通道中、多个转换器输出样本映射到单个通道中以及多个转换器输出样本映射到多个

表 1 JESD204B 协议链路参数

链路参数	含义	参数范围	本文参数配置
L	每个器件的通道数量	1~32	1、2、3、4、6、8
M	每个器件的转换器数量	1~256	1、2、4、8、16
F	每帧包含的字节数	1~256	1、2、3、4、6、8、12、16、24、32
S	单个转换器每帧样本数	1~32	1、2、4、8、16
N	转换器分辨率	1~32	9~16
N'	每个样本总位数	1~32	12、16
CF	单个链路每帧中控制字数量	0~31	0
CS	每帧中单个样本控制字符数量	0~3	0~3

通道中,结合链路配置参数,可将发送端传输层的组帧过程如图 2 表示。

在发送端传输层进行组帧过程中,每个设备集成 M 个转换器,每个转换器每帧可采样 S 个 N 位的采样数据。其中,一个帧时钟周期中可采样 $(M \times S)$ 个采样数据,将采样得到的样本数据映射成字。控制位(可选)添加在每个采样数据之后 ($CF=0$)或映射成 $CF(1 \leq CF \leq L)$ 个单独的控制字,可用于作为数据传输的标识、监测等。在每个字低位添加尾位(添加的尾位可以是随机值),将字的位数扩展到 4 的整数倍使之成为

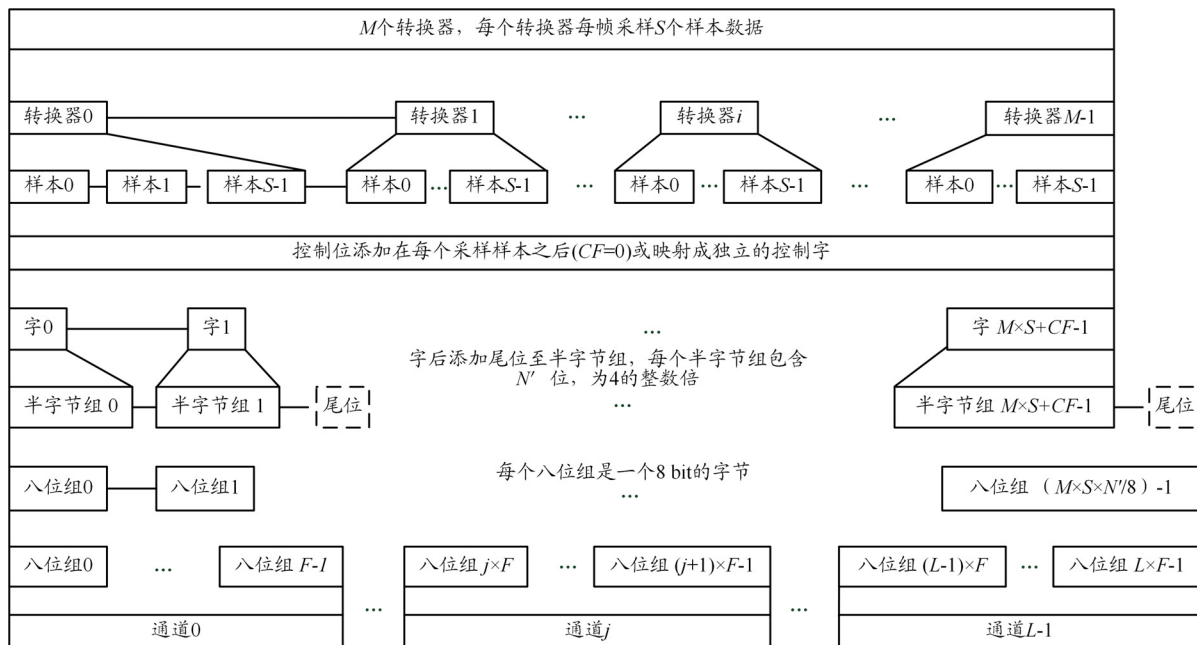


图 2 发送端传输层组帧过程

半字节组,每个半字节组含有 N' 位。在电路不使用扰码的情况下,不变的尾位可能会导致杂散频谱,故协议规定尾位的序列至少由九阶线性反馈移位寄存器生成,每帧中需要添加的尾位的数量 $T=N'-N-CS$,设置控制位的数量和尾位的数量不超过 $N'-N$ 个。

将上述得到的半字节组进行拆分、组合,形成八位组的形式,每个八位组是一个 8 bit 的字节数据。八位组按照每个器件包含的通道数 L 和每帧包含的字节数 F 的取值映射到链路通道中,作为发送端传输层后端扰码电路的输入数据。该扰码电路可旁路。

1.2 接收端传输层工作原理

接收端传输层中实现解帧的过程与组帧过程相反。首先,将接收端数据链路层中的输出数据根据通道数 L 和每帧包含的字节数 F 重新排列成八位组的形式;然后,将八位组组合,得到半字节组,去除在发送端传输层组帧过程中添加的尾位和控制位,获得原始 N 位的样本数据;最后,按照每个器件中转换器的数量 M 和单个转换器每帧采样的样本数 S 逆映射,得到原始采样数据,实现解帧的功能。

2 传输层电路的设计

由表 1 可知,传输层电路的设计中涉及到的参数有固定的取值范围。正确的参数配置需要同时满足 JESD204B 协议规定的取值和设计电路的需求。

2.1 链路参数配置

由于市面上高速转换器芯片分辨率大部分在 10~16 位之间,故本文设计了可支持分辨率 N 为 9~16 位的转换器的传输层电路,以满足目前高速转换器分辨率的需求。根据协议要求,通过添加控制位和尾位,使样本总位数 N' 为 4 的倍数,本设计中 N' 的取值为 12 或 16。

在许多实际应用中 $S=1$, 此时帧时钟和转换器的采样时钟频率相等;当 $S>1$ 时,帧时钟频率等于转换器的采样时钟频率除以 S 。 S 必须为整数,可以减少 JESD204B 电路和转换器模拟电路之间的串扰^[8]。

为了确定器件所需通道数量 L ,在设计中需要考虑转换器的最大通道速率不超过系统限制的最大通道速率 $R_{\max}$, L 的取值^[8]必须满足式(1), $f_{\text{frame-clk}}$ 为帧时钟频率大小。根据每个器件的转换器的数量 M 、单个转换器每帧样本数 S 、每个样本总位数 N' 和器件通道数量 L ,从而确定每帧包含的字节数 F ^[8]如式(2)所示。

$$\frac{M \times S \times N' \times 10 / 8 \times f_{\text{frame-clk}}}{L} \leq R_{\max} \quad (1)$$

$$F = \frac{M \times S \times N'}{8 \times L} \quad (2)$$

实际芯片设计时,可根据应用需求确定相应的链路参数,设计人员只需要满足芯片已有参数配置来完成设计。因此,当链路参数发生改变时,传输层电路需要重新设计。

JESD204B 协议规定每帧采样的样本数为 $M \times S$,本文设计每帧最多采样 16 个样本数据。映射时,以 16 个采样样本数据为一组,则每组采样 $16 / (M \times S)$ 个帧时钟周期的样本数据,依次将每组 16 个采样数据组成 $2N'$ 个八位组映射进通道。此时,链路参数配置关系应满足式(3)。

$$\begin{cases} M \times S \leq 16 \\ \frac{2 \times N'}{F \times L} \in \text{正整数} \end{cases} \quad (3)$$

2.2 发送端传输层电路设计

由传输层工作原理可知,实现组帧过程时涉及到的链路参数多,过程复杂,因此设计时将采样数据映射到链路通道中的过程分为三级:第一级映射根据链路参数 M 和 S 进行设计,将转换器数据重组;第二级映射过程根据链路参数 CS 、 T 、 CF 、 N 和 N' 进行设计,将重组的样本数据通过控制位和尾位组成半字节组,并拆分为八位组;第三级映射根据链路参数 F 和 L 进行设计,将第二级输出的八位组数据映射到相应的通道中。采用三级映射,可以简化映射逻辑,增加组帧过程的可靠性。

2.2.1 第一级映射

根据链路配置参数 M 和 S ,每个帧时钟周期采样 $M \times S$ 个样本数据。第一级映射过程中,传输层将每组映射 16 个样本数据作为 16 个并行数据。首先,当一个帧时钟周期采样得到样本数据个数不足 16 时,则需要连续取 $16 / (M \times S)$ 个帧时钟周期的样本,按顺序映射为 16 个并行数据;然后,采用计数器对采样计数,每映射满 16 个样本数据后计数器清零,并重新开始计数;最后,将并行的 16 个样本数据输出,作为第二级映射的输入。

2.2.2 第二级映射

第二级映射包含链路参数 N 、 N' 、 CF 、 CS 和 T ,将对转换器采样得到的数据 `smp_data` 添加控制位和尾位组成位宽为 N' 的数据 `smp_pack`, N' 有 12 和 16 共 2 种取值。

当转换器分辨率 N 的取值在 $[13, 16]$ 区间时,添加控制位和尾位使采样数据扩展到 4 个半字节,组成

半字节组,此时 $N'=16$;当转换器分辨率 N 的取值在 $[9,12]$ 区间时,添加控制位和尾位使采样数据扩展到 3 个半字节,组成半字节组,此时 $N'=12$ 。控制位添加在每个采样样本低位之后,数量可以设置为 0~3 个,尾位添加在控制位之后,数量为 $N'-N-CS$ 个。原始采样数据 `smp_data` 转换为位宽为 3 或 4 个半字节的数据 `smp_pack`,如式(4)所示,其中控制位用 D 表示,尾位用 B 表示。

$$\text{smp_pack}=\{\text{smp_data}[N'-1:N'-N], \\ D[CS:1],B[N'-N-CS:1]\} \quad (4)$$

当 N' 等于 16 时,将 16 个位宽为 16 bit 的并行数据 `smp_pack[15:0]` 的高八位和低八位拆分,组成 32 个八位组,组合过程如式(5)所示;当 $N'=12$ 时,将 16 个并行数据 `smp_pack[11:0]` 每 4 位拆分,组成 24 个八位组,组合过程如式(6)所示。

$$\left\{ \begin{array}{l} \text{octet0}[7:0]=\text{smp0}[15:8], \text{octet1}[7:0]=\text{smp0}[7:0] \\ \vdots \\ \text{octet30}[7:0]=\text{smp15}[15:8], \text{octet31}[7:0]=\text{smp15}[7:0] \end{array} \right. \quad (5)$$

$$\left\{ \begin{array}{l} \text{octet0}[7:0]=\text{smp0}[11:4], \text{octet1}[7:0]= \\ \quad \{\text{smp0}[3:0], \text{smp1}[11:8]\} \\ \vdots \\ \text{octet22}[7:0]=\{\text{smp14}[3:0], \text{smp15}[11:8]\}, \\ \text{octet31}[7:0]=\text{smp15}[7:0] \end{array} \right. \quad (6)$$

2.2.3 第三级映射

第三级映射是将第二级输出的八位组根据 F 和 L 映射到各链路通道中,最多有 8 个通道。为降低每个通道数据传输速率,本设计中各通道并行处理 4 路数据。用 4 路并行时钟采样,将数据映射至链路通道,最终每个通道包含的八位组数目应是 4 的倍数,且能被每帧包含的字节数 F 整除,否则传输将会出现错误。

当 F 和 L 的乘积不足第二级映射输出产生的一组八位组的数量时,需要映射 $N'/(2L)$ 次,同样采用计数器进行计数(计数数值用 `cnt` 表示),直至将一组八位组完全映射到通道中。以 $N'=12$ 时 $F=2, L=3$ 为例,此时 1 个时钟周期可以映射 12 个八位组,2 个时钟周期才能将 24 个八位组映射完,则计数器的大小设置为 2,映射过程如图 3 所示。

2.3 接收端传输层电路设计

解帧的过程是在接收端传输层通过三级逆映射过程将帧格式数据还原为转换器原始数据。三级逆映射过程如下:

第一级逆映射过程取决于链路参数 F 和 L ,将通道中的帧格式数据重新组成八位组的形式。以 $2N'$ 个八位组数据为一组,对于 $(F \times L)$ 不足 $2N'$ 的情况,采用计数器计数,逆映射 $N'/(2L)$ 个并行时钟周期,得到 $2N'$ 个并行的八位组。

第二级逆映射过程是将八位组还原为发送端传输层设计中第一级映射的输出数据。将 $2N'$ 个并行的八位组拼接成半字节组,位宽为 N' 。在此基础上去除添加在数据最低位的控制位和尾位,留下位宽为 N 的数据,每组逆映射为 16 个并行的数据。

第三级逆映射过程是根据 M 和 S 将并行数据顺序逆映射到各个转换器中,对 $M \times S$ 小于 16 的配置则映射多个时钟周期。

根据以上步骤,由此完成接收端传输层的设计。

3 仿真验证与综合

本文使用 Synopsys 公司的 Verilog 编译模拟器软件对设计的组帧和解帧电路功能进行验证。为易于观察,将接收端传输层电路的输入连接到发送端传输层电路的输出,对比电路的输入数据和输出数据,验证电路功能的正确性,仿真波形图如图 4 和图 5 所示。

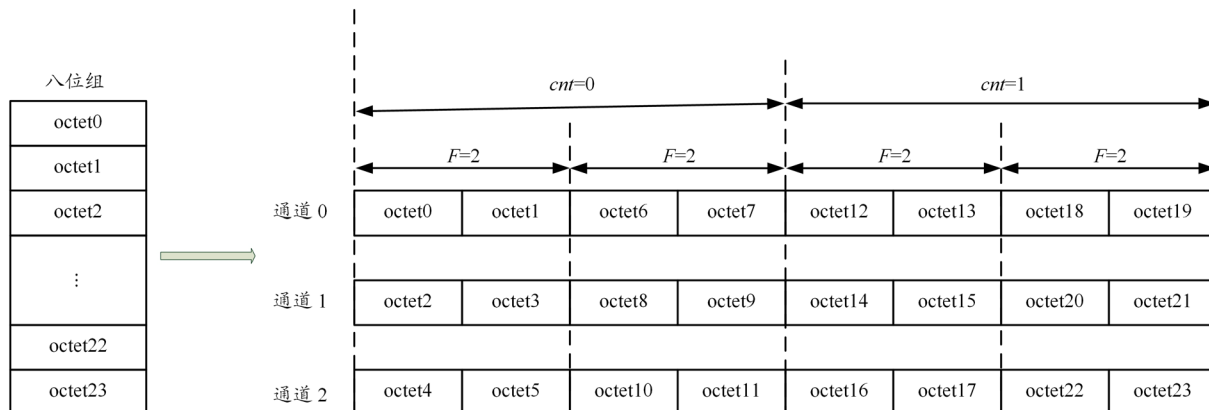


图 3 数据映射原理图

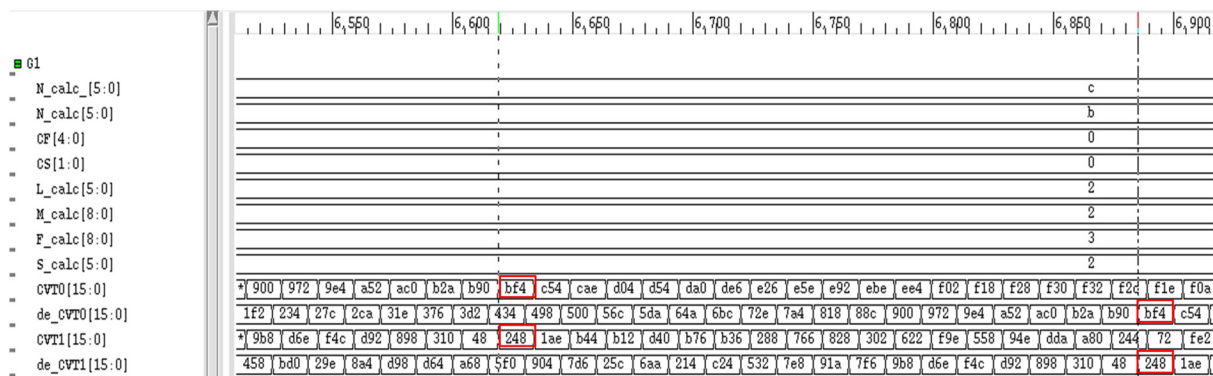


图 4 $N'=12$ 时仿真波形图

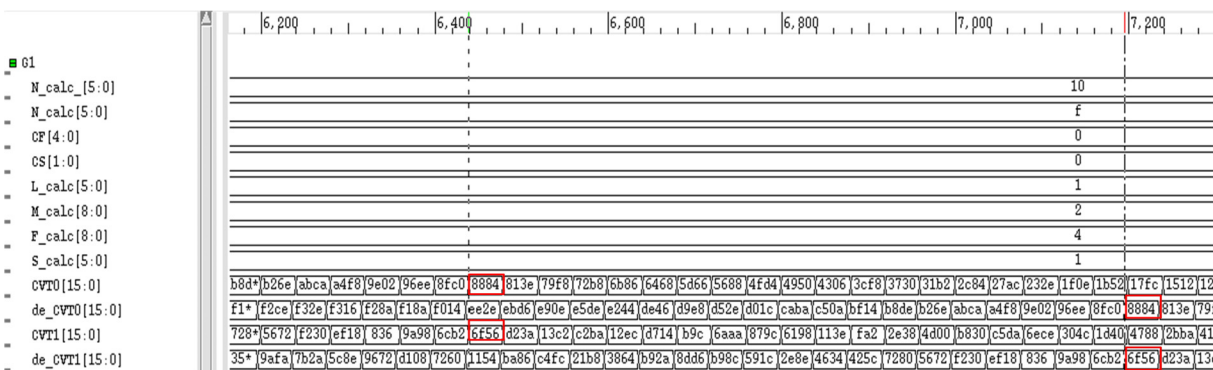


图 5 $N'=16$ 时仿真波形图

图中 CVT 表示转换器原始采样数据,de_CVT 表示接收端传输层电路的输出数据。 $N_calc_$ 、 N_calc 、 CF 、 CS 、 L_calc 、 M_calc 、 F_calc 、 S_calc 为链路配置参数。将 CVT 和 de_CVT 位宽设置为 16 bit,可满足配置的任意分辨率大小,而实际占用的位宽为链路参数 N 。图 4 中,转换器分辨率 $N=11$,每个样本总位数 $N'=12$,转换器数量 $M=2$ 。输入电路的数据在 26.6 ns 后从接收端传输层电路中输出。图 5 中,输入电路的数据在 75.6 ns 后从电路输出,且输出数据 de_CVT 与输入数据 CVT 完全一致。

本文采用 Synopsys 公司的 Design Compiler 平台,基于 65 nm 工艺库对设计的传输层电路进行综合评估。综合结果表明:发送端、接收端传输层电路占用逻辑资源分别为 27408.240 μm^2 、27215.640 μm^2 ,4 路并行时单通道时钟频率可达到 1.25 GHz,能够达到协议支持的最高传输速度 12.5 Gb/s。

4 结束语

本文设计了一种符合 JESD204B 协议的传输层电路。该传输层电路支持实际应用中常见工作模式下的数据传输,实现了发送端传输层中原始采样数据到帧格式数据的映射及接收端传输层中帧格式数据到采

样数据的逆映射。经 VCS 软件验证结果表明:本文设计的电路功能正确,设计的传输层电路可移植到匹配该电路模式的其它 JESD204B 接口电路中,对芯片设计有一定的参考价值。

参考文献:

- [1] ESCABAL I B, RAFFIAN E G, HORA J A. Development of framer/de-framer for 5Gbps JESD204B soft IP[J]. International Journal of Engineering & Technology, 2018, 7(2): 21–26.
- [2] 钱宏文,付俊爱,陈珍海. 高速 ADC 接口技术最新进展[J]. 电子与封装, 2014, 14(12): 14–20.
- [3] SUN P, LIU F, CUI J, et al. A joint symbol-detection, channel-estimation and decoding scheme under few-bit ADCs in mmwave communications[J]. Sensors, 2020, 20(7): 1857-1–1857-17.
- [4] KRUPNIK Y, PERELMAN Y, LEVIN I, et al. 112-Gb/s PAM4 ADC-based serdes receiver with resonant AFE for long-reach channels[J]. IEEE Journal of Solid-State Circuits, 2020, 55(4): 1077–1085.
- [5] 邵杰,万书芹,叶明远,等. 基于 JESD204B 协议的发送端电路设计[J]. 电子器件, 2021, 44(2): 300–305.
- [6] 陶加祥,王巍,霍兴华,等. 基于 JESD204B 接口协议的组帧器电路设计[J]. 电子技术, 2016, 45(10): 58–61.
- [7] 兰小东. JESD204B 发送端高速串行接口在 ASIC 中的设计与实现[D]. 北京:中国科学院大学, 2020.
- [8] HARRIS J. 了解 JESD204B 规范的各层——从高速 ADC 的角度出发[DB/OL]. [2021-07-14]. <https://www.analog.com/cn/technical-articles/under-standing-layers-in-jesd204b-specification.html>.