

基于 E1 链路的 HDLC 成帧解帧处理电路

党成, 黄海生, 李鑫, 张治国

(西安邮电大学 电子工程学院, 西安 710121)

摘要:为了在 E1 链路上能够可靠稳定地传输以太网数据包,提出了一种基于 E1 链路的高级数据链路控制(HDLC)成帧解帧处理电路。该电路采用 HDLC 协议在系统发送部分对介质无关接口(MII)发送的以太网数据包进行封装,并通过广域网(WAN)接口发送出去;在系统接收部分再对 WAN 接口接收的数据进行解封装。仿真结果表明:在发送端以太网数据包通过 MII 进行发送的情况下,该电路在接收端可以成功恢复出初始的以太网数据帧。

关键词:E1 链路;以太网数据包;高级数据链路控制;介质无关接口;广域网接口

中图分类号:TN929.11 **文献标志码:**A **文章编号:**1002-5561(2021)02-0028-04

DOI:10.13921/j.cnki.issn1002-5561.2021.02.007

开放科学(资源服务)标识码(OSID):



HDLC frame processing circuit based on E1 link

DANG Cheng, HUANG Haisheng, LI Xin, ZHANG Zhiguo

(School of Electronic Engineering, Xi'an University of Posts and Telecommunications, Xi'an 710121, China)

Abstract: In order to transmit ethernet packets over E1 link reliably and stably, a high-level data link control(HDLC) frame-forming and frame-de-framing processing circuit based on E1 link is proposed. This circuit adopts HDLC protocol to encapsulate ethernet packets sent by media independent interface (MII) in the sending part of the system and send them through wide area network (WAN) interface. In the receiving part of the system, the data received by WAN interface is unsealed. The simulation results show that the initial ethernet data frames can be recovered successfully at the receiving end when ethernet packets are sent through MII at the sending end.

Key words: E1 link; ethernet packet; high-level data link control; media independent interface; wide area network interface

0 引言

E1 传输线路是我国电信传输网一次群使用的传输标准。高级数据链路控制(HDLC)协议是面向比特的数据链路协议。以太网数据要通过 E1 线路传输就必须对以太网净荷数据进行帧封装,才能从 E1 线路上恢复出以太网数据帧,完成以太网数据的交换^[1]。通常情况,以太网数据的封装可采用 HDLC 协议来处理。目前,关于 HDLC 协议成帧解帧电路的研究大多数只是对数据的流向做了简单的介绍。因此,本文提

出一种基于 E1 链路 HDLC 成帧解帧处理的新的设计思路,在成帧和解帧模块分别加入加扰和解扰电路,为需要传输的数据进行加密,使数据传输更加可靠。

1 HDLC 发送、接收处理系统电路

HDLC 发送、接收处理电路系统框图如图 1 所示。在发送部分,HDLC 成帧处理电路的目的是对介质无关接口(MII)^[2]发送过来的以太网数据帧进行二次封装,以确保数据的可靠、稳定传输。目前,系统采用 10M 以太网,数据半字节模式传输速率为 10 Mb/s,而 E1 链路采用 2.048 MHz 串行数据,所以将通过 MII(半字节传输)发送过来的以太网数据包送入一个异步先进先出(FIFO)中进行数据的异步处理。HDLC 协议是面向比特的数据链路协议,因此采用并/串转换(P2S)进行比特数据的提取,将得到的串行数据流送入 HDLC 成帧电路模块进行一系列处理,输出的串行数据 scram_out 以 E1 速率 2.048 MHz 通过 WAN 接口发送

收稿日期:2020-07-06。

基金项目:国家自然科学基金—地区科学基金项目(61661049)资助。

作者简介:党成(1996—),女,陕西渭南人,硕士研究生,现就读于西安邮电大学电子工程学院电子科学与技术专业,研究方向为电路与系统,主要从事以太网映射器的研究工作,曾获“第十四届中国研究生电子设计竞赛西北赛区三等奖”。



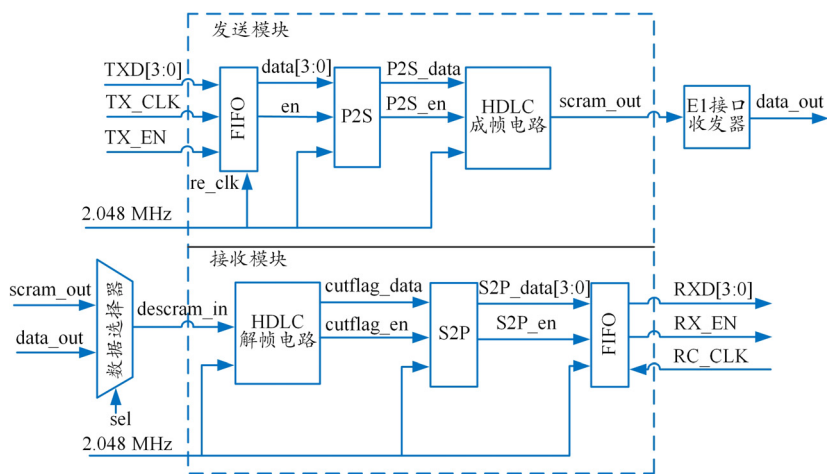


图 1 HDLC 发送、接收处理电路系统框图

出去。WAN 接口能够与 Dallas Semiconductor/Maxim 的 E1 成帧器、线路接口单元 (LIU) 和单片收发器 (SCT) 进行无缝连接。HDLC 控制模块分为发送和接收 2 个部分, 它们的功能是相逆的^[3]。因此, 接收部分相应的处理与发送部分相反, 在接收部分, 用一个二选一的选择器进行数据的选取, 当 sel 为 1 时, descram_in 选择数据 scram_out 进行解帧电路的处理; 当 sel 为 0 时, descram_in 可选择 E1 接口收发器输出的数据 data_out。由于本设计主要分析 HDLC 的成帧解帧电路, 因此可先将 sel 置 1 来更加直观准确地测试电路的正确性; WAN 接口将接收的数据流 descram_in 送入 HDLC 解帧电路模块进行一系列处理, 对输出的数据进行串/并转换 (S2P) 以保证半字节输出, 最后经异步 FIFO 处理还原出发送部分原始的以太网数据帧, 并通过 MII 送入后续模块进行处理。

2 HDLC 协议成帧电路

2.1 成帧电路框图

本文根据 HDLC 协议的成帧原理,将成帧电路分为添加标志位模块、16 位循环冗余校验码(CRC16)校验产生模块、位填充模块和扰码模块共 4 个部分,HDLC 成帧电路框图如图 2 所示。

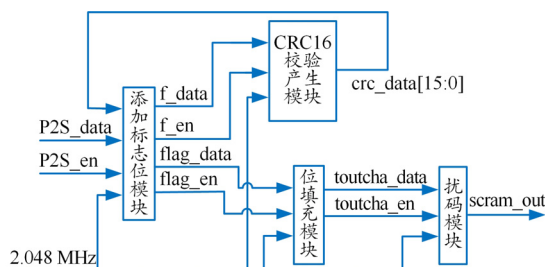


图 2 HDLC 成帧电路框图

图 2 中,以太网数据帧的比特形式数据 P2S_data 作为成帧电路的输入,时钟信号为 2.048 MHz,输出的扰码数据 scram_out 经环回后送入 HDLC 接收模块。其中,添加标志位模块将以以太网帧封装进 HDLC 帧的信息位中,添加 HDLC 帧的标志位、地址位和控制位等,并将添加后的数据送入 CRC16 校验产生模块进行循环冗余校验,将 16 位的校验结果作为 HDLC 帧的帧校验序列送入添加标志位模块进行校验位的添加,最后输出 HDLC 协议帧。位填充模块是对输入的比特数据进行检测,在数据中遇连续 5 个“1”以后插入 1 个“0”。扰码模块对填充后的串行数据进行加扰。

2.2 成帧电路主要模块

2.2.1 添加标志位模块

添加标志位模块将以太网帧的目的地址到帧校验序列作为 HDLC 帧的信息位封装进 HDLC 帧中,并添加 HDLC 帧的标志位、地址位和控制位。同时,将 CRC16 校验产生模块输出的 16 位校验结果数据从高位开始逐位封装进 HDLC 帧作为 HDLC 帧的帧校验序列位,得到完整的 HDLC 数据帧。

2.2.2 CRC16 校验产生模块

CRC16 校验产生模块中, HDLC 协议采用串行校验算法对 CRC16 进行差错控制, 其生成多项式为 $X^{16}+X^{12}+X^5+1$ 。图 3 为该串行 CRC16 编码器的结构图。CRC16 校验产生模块的 16 个寄存器初始值分别赋值为 1, 将添加标志位模块得到的 HDLC 帧的地址位、控制位和信息位的串行数据 f_data 送入 CRC16 校验产生模块进行计算, 16 位寄存器的计算结果取反后得到 16 位的校验数据 crc_data , 将其送入添加标志位模块进行 HDLC 帧校验序列的添加。

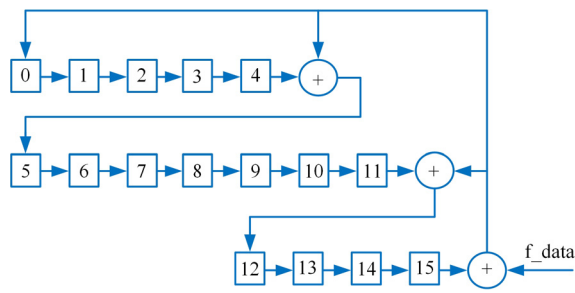


图 3 CRC16 编码器结构示意图

2.2.3 位填充模块

位填充模块将添加标志位模块输出的 HDLC 数

据帧的比特形式数据和随机存取存储器(RAM)写地址的每帧复位信号(写地址复位信号)送入双口 RAM 中, 根据读地址和读使能的情况将送入 RAM 的数据读出来。读出来的写地址复位信号作为读地址的每帧复位信号(读地址复位信号)返回去控制读地址的产生; 而读使能的产生则是由一个计数器和状态机控制。

计数器对读出的串行数据流连“1”个数进行计数。该状态机由时序逻辑控制, 满足复位条件时, 状态为 00。在时钟上升沿采样时, 若满足计数器 cnt 为 4 并且数据为 1 的条件, 则将双口 RAM 读出的串行数据流赋值给状态机的输出值 toucha_data, 读使能赋为 0, 状态转移到 01; 否则, 将数据赋值给 toucha_data, 读使能赋为 1, 状态转移到 00。01 状态时将“0”赋值给 toucha_data, 此时读使能值为 1, 状态转移到 00。于是得到的 toucha_data 满足在数据中遇见连续 5 个“1”后插入一个“0”的条件, 实现了数据的位填充处理。

2.2.4 扰码模块

扰码模块将位填充模块输出的 HDLC 帧信号作为输入数据送入扰码模块进行加扰, 扰码多项式为 $G=X^{43}+1$ 。电路中包含一个 43 级的移位寄存器, 可以产生周期为 $2^{43}-1$ 的序列。该序列的周期足够长, 能够满足对输入数据进行随机化处理的要求^[4]。在该电路中, 输入的串行数据与 43 级移位寄存器的最高位输出数据进行异或处理后得到扰码数据输出, 在完成数据加扰的同时, 将扰码输出的数据送到移位寄存器的最低位中, 然后进行下一个时钟周期的扰码运算。

3 HDLC 协议解帧电路

3.1 解帧电路框图

本文根据 HDLC 协议的解帧^[5]原理, 将解帧电路分为解扰模块、去填充模块、删除标志位模块和 CRC16 校验检查模块共 4 个部分。HDLC 协议解帧电路框图如图 4 所示。接收部分 WAN 接口接收的数据 descram_in 作为解帧电路的输入, 输出为以太网帧的

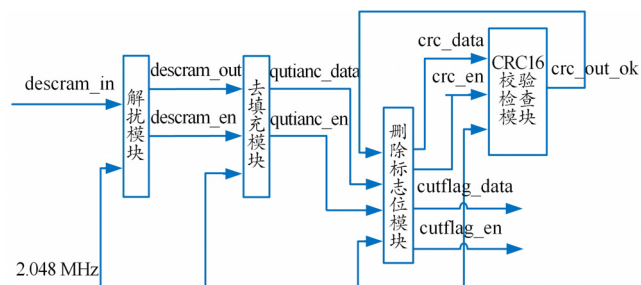


图 4 HDLC 解帧电路框图

比特数据流形式。其中, 解扰模块完成数据 descram_in 的解扰码处理; 去填充模块删除 descram_out 中连续 5 个“1”后的“0”, 将删 0 后的数据除标志位外送入 CRC16 校验检查模块进行循环冗余校验得到校验成功与否的标志信号; 删除标志位模块对 CRC16 校验成功的数据删除 HDLC 帧的标志位、地址位、控制位和校验位并恢复为以太网帧的格式, 即最终恢复出成帧电路所进行处理的数据(以太网帧数据的比特形式)。

3.2 解帧电路主要模块

3.2.1 解扰模块

将串行数据 descram_in 送入解扰模块进行解扰。由于扰码多项式为 $G=X^{43}+1$, 因此解扰电路中包含一个 43 级的移位寄存器。在该电路中, 输入数据与移位寄存器的最高位数据进行异或处理, 得到原始数据^[6]。在完成数据解扰的同时, 将输入数据送入移位寄存器的最低位中, 进行下一个时钟周期的解扰运算。

3.2.2 去填充模块

去填充模块将经解扰模块处理后的串行数据流 descram_out 根据 RAM 的写使能和写地址送入双口 RAM 中。其中, 写地址信号由写地址的每帧复位信号(写地址复位信号)控制产生; RAM 的写使能信号则主要由一个计数器和状态机组成。计数器主要完成对串行数据流连续“1”个数的计数。状态机由时序逻辑控制, 满足复位条件时, 状态为 00。在时钟上升沿采样时, 若满足计数器 cnt 等于 4 并且输入数据等于 1 的条件时, 写使能信号为 0, 状态跳转到 01; 否则写使能为 1, 状态跳转到 00。下一时刻在 01 状态下, 写使能为 1, 状态跳转到 00。

将送入双口 RAM 的数据按读地址读出来, 读出来的写地址复位信号作为读地址的每帧复位信号(读地址复位信号)去控制读地址的产生。

通过去填充模块的处理, 输出信号 qutianc_data 遇见连续 5 个“1”后删除了一个“0”, 还原出信号送入位填充模块之前的数据, 从而完成了数据的透明性传输。

3.2.3 删除标志位模块

将从去填充模块输出的数据送入删除标志位模块。由于成帧电路将除标志位之外的所有信息送入校验模块得到了 HDLC 帧校验序列, 因此在进行数据处理之前将帧数据送去进行 CRC16 校验检查, 当完成一帧数据的写入, 而且 CRC 校验结果正确(crc_out_ok 信号为高), 则进行标志位的删除。首先, 通过帧同步检测找到需要处理的帧信号起始位, 删除 HDLC 帧格式中的帧头, 包括标志位、地址位和控制位; 然后, 删

除帧末尾的标志位和校验位得到 HDLC 帧格式中的信息位, 并将得到的信息位数据加前导码还原为原始的以太网帧格式。

3.2.4 CRC16 校验检查模块

CRC16 校验检查模块中, HDLC 协议采用串行校验算法, 其生成多项式为 $X^{16}+X^{12}+X^5+1$ 。CRC16 校验检查模块的 16 个寄存器初始值也分别赋值为 1, 将删除标志位模块输出的经过去填充处理的串行数据 `crc_data` 送入 CRC16 校验检查模块进行计算, 计算方式与校验产生模块一致。16 位寄存器的计算结果若为 16'h1d0f, 则数据校验正确, 产生 `crc_out_ok` 信号, 并将其送入删除标志位模块。

4 HDLC 协议成帧解帧电路仿真

本文使用 Verilog 硬件描述语言设计电路, 在 Modelsim 上对该电路进行功能仿真。系统复位结束后, 在时钟上升沿对成帧模块输入的串行数据流进行采样获得以太网数据帧的串行形态, 观察成帧电路输出的数据是否为经过扰码处理后的 HDLC 帧的串行数据流形式, 是否已满足位填充处理等。经 WAN 接口接收的数据送入解帧电路, 系统对输入的数据在时钟的上升沿进行采样, 经过一系列处理以恢复原始数

据。仿真结果表明解帧电路恢复出来的数据流与成帧电路输入的数据流一致。

5 结束语

本文提出了一种基于 E1 链路的 HDLC 成帧解帧处理电路, 并使用 Verilog HDL 对该电路进行了描述。经仿真验证, 解帧电路输出数据流与成帧电路输入数据流始终保持一致, 保证了 HDLC 协议成帧解帧设计的正确性。该电路设计简单, 对于以太网数据包的可靠性传输有着非常重要的意义。

参考文献:

- [1] 刘宇, 张斌, 徐东明. 符合中国移动标准协议转换器中的 HDLC 协议的 FPGA 设计与实现[J]. 电子产品世界, 2011, 18(6): 58-60.
- [2] 于强. 基于 E1 传输的多路网桥交换机的关键技术研究[D]. 杭州: 浙江大学, 2012.
- [3] 沈洁, 徐淑芳. 基于 SOPC 的 E1/以太网桥接器设计与实现[J]. 中国科技信息, 2008(21): 117-118, 120.
- [4] 尹旭东. 基于并行 Flash 的 USB3.0 中扰码 - 解扰码器的设计与实现[J]. 计算机与数字工程, 2018, 46(2): 415-418.
- [5] 刘文慧, 张弛, 杨宏, 等. 基于 FPGA 的 E1/Ethernet 互联方案的研究与实现[J]. 通信技术, 2010, 43(12): 187-189.
- [6] 周宏伟, 陈超, 张丽霞, 等. 板级高速传输总线链路层关键技术研究[J]. 国防科技大学学报, 2011, 33(6): 55-60.