

4×25 Gb/s 光电收发一体模块封装的设计与实现

陈莹^{1,2}, 宋文泰³, 何慧敏^{1,2,4}, 薛海韵^{1,2,4}, 孙瑜^{1,2,4}, 缪旻³, 刘丰满^{1,2,4*}

(1.中国科学院 微电子研究所, 北京 100029; 2.中国科学院大学, 北京 100049;

3.北京信息科技大学 信息与通信工程学院, 北京 100101; 4.华进半导体封装先导技术研发中心有限公司, 江苏 无锡 214135)

摘要: 光电收发模块的性能对整个通信系统质量至关重要。设计一个包括光电器件、封装结构等参数的光电协同链路仿真系统, 首先从系统封装方案、版图和信号完整性等方面进行设计优化, 获得封装结构的电学参数; 其次, 对光电器件参数进行优化提取, 并建立一个包括封装结构电学参数对系统的性能影响的光电协同的仿真链路, 通过光电协同链路仿真提前对模块进行优化评估, 确保光电混合集成系统满足要求; 最后, 进行模块的组装和测试。仿真结果表明: 25 Gb/s 信号源输入下, 模块通过 1 km 光纤进行自发自收, 在 2¹³-1 码型下, 模块的误码率在 1E-15 以下, 总功率仅为 3.6 W。

关键词: 光通信; 光电收发模块; 链路仿真; 误码率; 眼图

中图分类号: TN914 文献标志码: A 文章编号: 1002-5561(2021)04-0022-05

DOI: 10.13921/j.cnki.issn1002-5561.2021.04.005

开放科学(资源服务)标识码(OSID):



Design and implementation of 4×25 Gb/s photoelectric transceivers module package

CHEN Ying^{1,2}, SONG Wentai³, HE Huimin^{1,2,4}, XUE Haiyun^{1,2,4}, SUN Yu^{1,2,4}, MIAO Min³, LIU Fengman^{1,2,4*}

(1. Institute of Microelectronics, Chinese Academy of Sciences, Beijing 100029, China; 2. University of Chinese Academy of

Sciences, Beijing 100049, China; 3. School of information and communication engineering, Beijing University of

information technology, Beijing 100101, China; 4. National Center for Advanced Packaging Co., Ltd, Wuxi Jiangsu 214135, China)

Abstract: The performance of photoelectric transceiver module is very important to the whole communication system quality. An optoelectronic collaborative link simulation system including optoelectronic devices, packaging structure and other parameters is designed. Firstly, the electrical parameters of the package structure are obtained by optimizing the system package scheme, layout and signal integrity. Secondly, the photoelectric device parameters are optimized and an optoelectronic collaborative system is established which includes the influence of the electrical parameters of the packaging structure on the system performance simulation link, through the optoelectronic collaborative link simulation, the module is optimized and evaluated in advance to ensure that the optoelectronic hybrid integrated system meets the requirements. Finally, the module is assembled and tested. The simulation results show that under the input of 25 Gb/s signal source, the module carries out self receiving through 1 km optical fiber. Under the 2¹³-1 code type, the error code of the module is less than 1E-15, and the total power is only 3.6 W.

Key words: optical communication; photoelectric transceiver module; link simulation; bit error rate; eye diagram

0 引言

随着大数据、云计算、第五代移动通信以及人工

智能等应用的快速发展, 全球的通信数据量急剧增长, 极大地增大了通信系统的压力^[1]。与电互连相比, 光互连具有宽频带、抗电磁干扰、强保密性、低传输损耗、低功耗和低时延等优点^[2-3], 广泛应用于服务器之间或者服务器与路由器之间。光互连收发模块作为光互连的核心模块, 决定了整个通信系统的质量。因此, 如何更好地设计光互连收发模块, 确保模块的高性能也成为关注重点。

为此, 本文设计 4×25 Gb/s 光电收发一体模块, 并对其封装结构进行优化。

收稿日期: 2020-06-02。

基金项目: 国家重点研发计划(2017YFB0404801)资助; 北京信息科技大学 2019 年度“实培计划”项目资助。

作者简介: 陈莹(1996—), 女, 江苏无锡人, 硕士生, 现就读于中国科学院微电子研究所微电子学与固体电子学专业, 工作科室为封装中心, 主要研究方向为光电模块封装设计、信号完整性与电源完整性设计和 PAM4 调制器设计等。

* 通信作者: 刘丰满 (Email: liufengman@ime.ac.cn)。



1 硅光模块设计

本文中的光电收发模块为收发一体设计,采用单通道通信速率为 25 Gb/s 的 4 个通道集成设计,实现模块单向通信速率为 100 Gb/s、双向通信速率为 200 Gb/s。光电收发一体模块框图如图 1 所示。电芯片包括调制器驱动(Driver)芯片、时钟数据恢复(CDR)芯片和跨阻放大器(TIA)等;光芯片包括马赫-曾德尔调制器、探测器(PD)和光栅等。

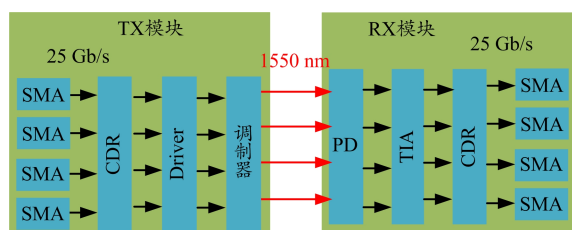
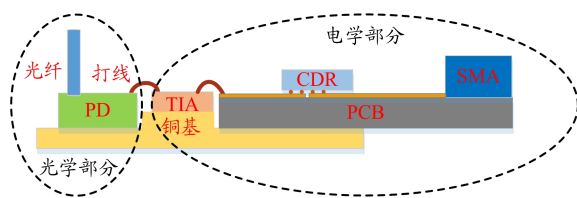
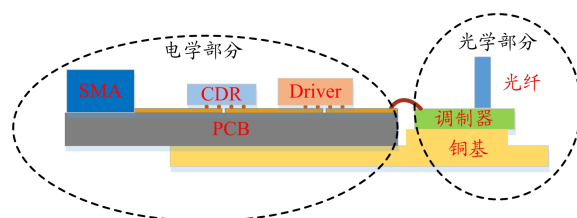


图 1 光电收发一体模块的框图

光电收发一体模块封装的结构示意图如图 2 所示,模块包括光学部分和电学部分。在模块中,光学器件都放置在金属座上,可以避免印制电路板(PCB)的热应力导致光纤漂移和光耦合失效,降低打线的高度,从而在很大程度上缩短了打线长度,减小了高速信号反射的影响。在接收端,将 TIA 通过铜基垫高在合适的位置,使 TIA 与 PD 的上表面在同一水平面上,有效降低了打线长度。光学部分和电学部分共用一个铜基底座,将铜基组装在光学芯片和有机基板背面位置,有机基板在电芯片位置处都设计有热孔,形成了从发热芯片到铜基的良好散热通道;另外,铜基和芯片的表面都涂布有热界面材料,可以将热量迅速地传导到外界,实现良好的热管理性能。



(a) 发送部分的封装结构



(b) 接收部分的封装结构

图 2 收发一体模块的集成方案结构图

2 模块的电学设计

2.1 叠层设计

整个系统需要共面单端波导传输线以及窄线宽的差分共面波导传输线,本文通过 Si9000 和 3D 电磁场仿真软件,对 2 种传输线进行匹配。单端共面波导传输线和差分共面波导传输线都位于顶层。为了保证表层传输线的电学性能,需要在上层采用高频介质材料。另外,为了保证叠层的对称性,降低 PCB 翘曲的风险,上、下 2 层高速信号层的介质都采用 M6 材料。本文设计的叠层共为 6 层堆叠结构,分别为信号层、地层、电源层、电源层、地层和信号层。

2.2 传输线设计

本文设计的封装发送模块结构中,误码仪输出的电信号通过超小型版连接器(SMA)接入高速测试板,经过 CDR 芯片对数据进行恢复整形后再输入 Driver 芯片,最终通过 Driver 芯片放大输出,发送端封装结构框图如图 3 所示。考虑 CDR 芯片对 25 Gb/s 信号具有较好的恢复、整形和再输出的作用,且 CDR 芯片与 Driver 芯片之间的封装结构较为接近,故它们之间的电学损耗可以忽略不计。

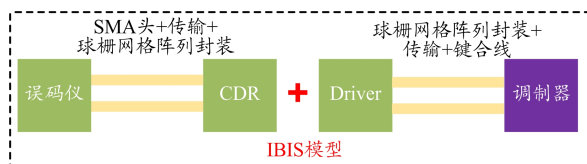


图 3 发送端封装结构框图

本文依次对 SMA 到 CDR 芯片和 Driver 芯片到调制器之间的传输路径进行了优化。其中,不连续处有: SMA、耦合电容和电感。SMA 接触的位置采用类似花朵型的结构,使周围的地过孔离信号孔很近,减少信号泄露,将其周围的多层参考平面与信号孔的间距增大,增加了感性,从而减小了反射。对于耦合电容处,电容焊盘较宽阻抗偏小,需要降低其容性效应,通过挖焊盘下方的平面,提高特性阻抗,实现与 100 Ω 差分线的阻抗匹配。对于高频电感,同样电感焊盘较宽阻抗偏小,需要降低其容性效应,提高特性阻抗。

从 SMA 到 CDR 芯片传输线的优化结果表明:其中一组最长链路满足在 40 GHz 内插入损耗 S21 小于 -2.6 dB,整条传输路径的阻抗基本在 104 Ω 以内,回波损耗小于 -15 dB。该优化结果同样适用于接收端 CDR 芯片到 SMA 传输线。

从 Driver 芯片到调制器传输线的优化结果表明:4 组差分线均满足 40 GHz 处插入损耗 S21 低于 -3 dB,

整条传输路径的阻抗基本在 $100\ \Omega \pm 1\ \Omega$ 以内,回波损耗低于 $-10\ \text{dB}$ 。测试板的传输线结构与调制器通过差分键合线相连,键合线采用直径为 $25\ \mu\text{m}$ 的金线,根据 ANSYS HFSS 模型中的结构,优化前最长绑定线的长度约为 $800\ \mu\text{m}$,在 $40\ \text{GHz}$ 处的插入损耗约为 $-1.8\ \text{dB}$;优化后最长绑定线的长度约为 $550\ \mu\text{m}$,在 $40\ \text{GHz}$ 处的插入损耗约 $-1.3\ \text{dB}$ 。

在接收端结构中,光信号通过 PD 转换成微弱的电流信号,TIA 将这微弱的电流信号转换成电压信号并进行放大,最后 CDR 芯片对该信号进行整形恢复,整个链路如图 4 所示。接收端处 CDR 芯片到 SMA 的传输线与发送端处 SMA 到 CDR 芯片的传输线优化结构一致。PD 和 TIA 通过键合线连接,其仿真优化与键合成仿真优化一致。PD 到 TIA 之间的传输路径进行优化,在该路径中无不连续路径,但由于传输线之间间距太近,对周围地孔有特殊的数量和位置要求,以减小串扰和避免信号泄露。经过最终的仿真优化,本文得到最优结果的模型,其最长的 2 组差分线均满足 $40\ \text{GHz}$ 处插入损耗 S_{21} 大于 $-1.5\ \text{dB}$,整条传输路径的阻抗基本在 $50\ \Omega \pm 1\ \Omega$ 以内,回波损耗小于 $-20\ \text{dB}$ 。

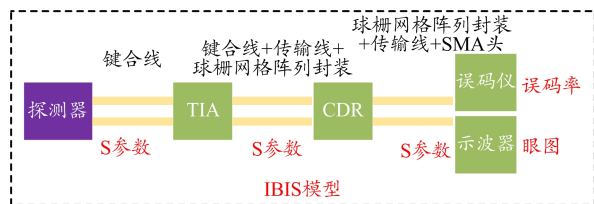


图4 接收端封装结构框图

3 光电链路仿真

3.1 链路仿真模型

图5是硅光系统集成仿真链路模型。在发送端,C波段激光器输出的光经过光栅耦合进入调制器,驱动芯片输出的射频信号驱动调制器对直流光信号进行脉冲幅度调制,经调制后的光信号通过光栅输出。光

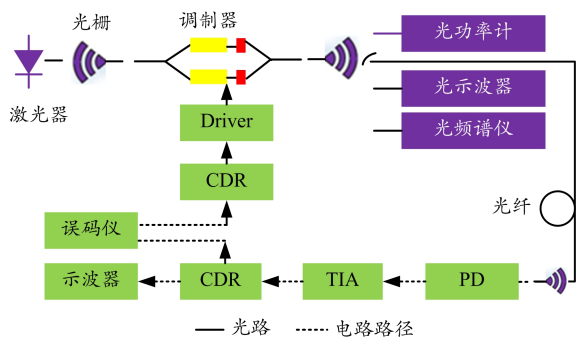


图5 硅光系统集成仿真链路示意图

信号可以选择进入光功率计、光示波器或者光频谱仪,这些仪器可以在链路中得到光功率、光眼图以及光传输频谱,从而得到光调制器的光调制幅度(O-MA)、消光比以及传输频谱等重要光学参数。光信号也可以选择进入 $1\ \text{km}$ 的光纤进行长距离传输。在接收端,长距离传输的光信号通过 PD 转化成强弱变化的电流信号,再经 TIA 等转化成电压信号,示波器观察转化后的信号眼图并分析信号的质量,将输出的电信号与输入的电信号对比可以得到链路的误码率,以此为依据来评判整个链路性能的质量。通过链路仿真可以实现协同设计;综合激光器、调制器、PD、Driver 芯片和 TIA 等光电器件指标和封装结构的电学参数,实现光电芯片的优化设计和指标选择以及模块封装结构的评估。

3.2 光学设计

本文采用双驱推挽式工作的调制器。每个调制臂包含一个高速相移器,单位长度的相移效率为 $\Delta\varphi\ \text{rad/mm}$ 、光学损耗为 α/mm ,调节与上、下相移器相连的波导长度,引入长度差使两臂引入一个固定相位差 φ_0 ,使调制器静态工作点在正交工作点位置,一般 2 个调制臂之间的固定相位差为 $\varphi_0 = \pi/2^{[4]}$ 。调制器的输入的功率 P_{in} 与输出的功率 P_{out} 的关系式表示为^[5]:

$$P_{\text{out}} = \frac{1}{2} P_{\text{in}} [1 + \cos(\varphi_0 + L\Delta\varphi)] e^{-\alpha L} \quad (1)$$

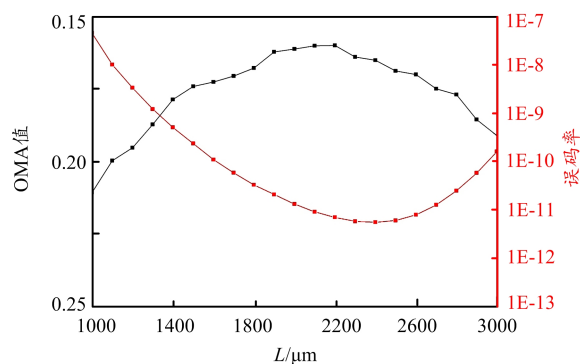
其中, L 为调制器有源区长度。调制器的 OMA 的表达式为:

$$\text{OMA} = |I_{\text{max}} - I_{\text{min}}| = P_{\text{in}} e^{-\alpha L} |\sin(L\Delta\varphi)| \quad (2)$$

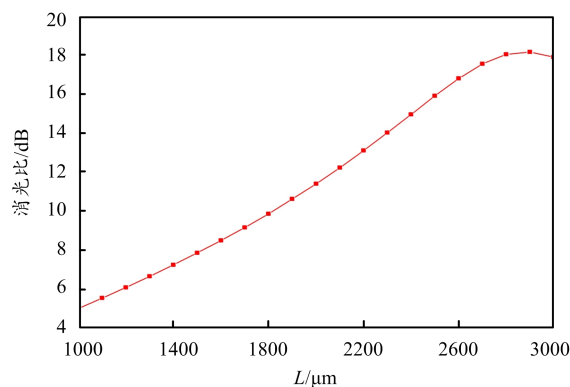
其中, I_{max} 是调制器输出的最大功率, I_{min} 是调制器输出的最小功率。对调制器有源区长度 L 求导,可得到 O-MA 极值(L 最优取值)为:

$$L_{\text{opt}} = \frac{1}{\Delta\varphi} \arctan\left(\frac{\Delta\varphi}{\alpha}\right) \quad (3)$$

根据式(3)可得到 OMA 与有源区长度 L 的关系, Lumerical 仿真结果如图 6 所示。图 6(a)仿真结果显示调制器有源区长度在 $2200\ \mu\text{m}$ 附近时 OMA 取极大值,与理论推导存在极大值相吻合。与此同时,系统误码率在有源区长度为 $2500\ \mu\text{m}$ 附近取极小值,低于 $1\text{E}-11$,与调制器的 OMA 的变化趋势整体相反,存在较小的可以接受的长度偏差。综合图 6(b)仿真结果可知,调制器有源区长度在 $2500\ \mu\text{m}$ 附近时,消光比较大且处于线性区;结合图 6(a)可以看出,调制器有源区长度取 $2500\ \mu\text{m}$ 附近误码率最小、OMA 较大,调制器组成的链路系统性能较优。当调制器的有源区长度



(a) OMA随调制器有源区长度变化曲线



(b) 消光比随调制器的有源区长度的变化曲线

图6 调制器长度优化设计

在 1500 μm 时, 调制器可以工作在线性区较好的区域, 满足一般指标的需求, 且在有源区长度较短时, 调制器有较低的光插入损耗。综上所述, 本文设计的调制器的有源区长度采用 2500 μm 与 1500 μm 。

通过 Interconnect 软件仿真, 本文设置系统传输速率为 25 Gb/s, 伪随机二进制序列 (PRBS) 码型为 $2^{13}-1$; 光栅耦合损耗为 2.7 dB, 单模光纤传输距离为 1 km, 损耗为 0.2 dB, 这些与实测结果较为接近; 设置 PD 的响应度为 $0.7 \text{ A}\cdot\text{W}^{-1}$, 暗电流为 5 nA; L 设为 1500 μm 和 2500 μm 2 种; 根据电驱动芯片的 IBIS 模型, 建立电驱动芯片模型, 电驱动信号的峰峰值电压为 5.5 V, TIA 模型的差分跨阻为 2.8 k Ω 。同时, 仿真中考虑收发模块封装结构对电学性能的影响。

图 7 为系统误码率随激光器功率和 PD 响应度的关系图。从图 7(a) 可以看出, 光功率在 5 mW 左右时, 系统中的误码率在 $1\text{E}-12$ 以下。当链路中激光器的光功率设置为 9 mW 时, 光电混合集成链路可以满足指标要求, 误码率低于 $1\text{E}-15$ 。将激光器光功率设置为 9 mW, 其它保持不变, 从图 7(b) 可以看出当响应度在 $0.4 \text{ A}\cdot\text{W}^{-1}$ 以上, 系统误码率满足小于 $1\text{E}-12$ 的商业指

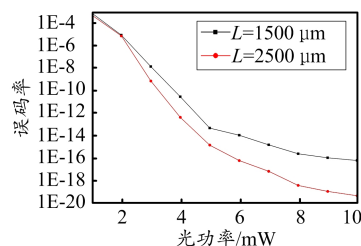
标要求; 当响应度为 $0.7 \text{ A}\cdot\text{W}^{-1}$, 误码率小于 $1\text{E}-15$ 。

3.3 光电协同链路仿真

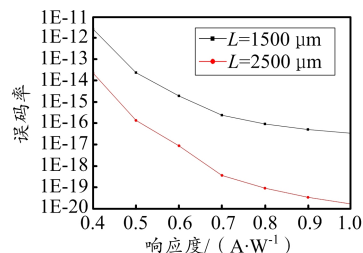
当调制器的单位长度折射率的改变量增大时, 调制的幅值增大。当施加在调制器相移器上的驱动电压的峰峰值增加时, 会引起相移器的单位长度折射率的改变量增加^[6]。在激光器的输入光功率为 9 mW、PD 响应度为 $0.7 \text{ A}\cdot\text{W}^{-1}$ 的条件下, 本文研究有源区长度为 1500 μm 与 2500 μm 的调制器组成的光电集成链路系统随驱动电压峰

峰值变化的影响。本次仿真仅改变 Driver 芯片的输出信号输出的峰峰值, 由于驱动芯片信号的峰峰值电压在 3~6 V 之间, 因此驱动信号的峰峰值电压拟采用为 4 V、4.5 V、5 V、5.5 V 和 6 V, 在接收端依次仿真测试可以得到有源区长度分别为 1500 μm 、2500 μm 的调制器组成的光电链路系统的眼图和误码率。对于有源区长度为 1500 μm 的调制器组成的光电链路系统, 当驱动调制器的射频信号峰峰值电压由 4 V 增大到 6 V 的过程中, TIA 输出的眼图的眼高逐渐由 600 mV 增加到 700 mV, 信号平均抖动由 1.3 ps 逐渐减小到 1.18 ps。对于有源区长度为 2500 μm 的调制器组成的光电链路系统, TIA 输出的眼图的眼高由 620 mV 逐渐增加到 780 mV, 信号平均抖动由 1.25 ps 逐渐减小到 1.157 ps。

图 8 为系统误码率与峰峰值的关系图。可以看出, 有源区长度为 2500 μm 组成的整个收发模块的性能优越, 符合调制器的有源区长度仿真结果, 实际的调制器芯片有源区长度采用 2500 μm 。当峰峰值电压为 5.5 V 时, 误码率小于 $1\text{E}-15$ 。



(a) 系统误码率随激光器功率关系变化曲线



(b) 系统误码率与PD响应度关系曲线

图7 激光器和PD指标选择

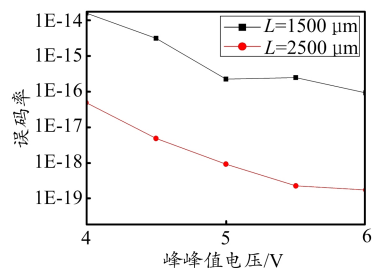


图8 系统误码率随驱动信号的峰峰值变化曲线

4 模块测试

本文制作的光模块的测试基板如图 9 所示。测试中设置 Driver 芯片输出的信号的峰峰值电压为 5.5 V。传输距离为 1 km 时,在接收端测试的 4 个通道眼图如图 10 (a)所示,接收端差模电平

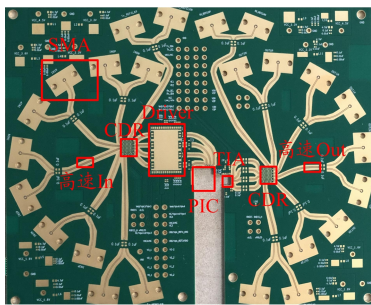


图 9 光模块测试基板

为 700 mV,与链路仿真值较接近,码元周期为 38.8 ps。采用 $2^{13}-1$ 的伪随机码序列信号按照 25 Gb/s 的速率传输,链路在 5 min 内误码率为 0;整个收发模块的电路功耗仅为 3.6 W,平均每比特功耗在 20 pJ 以下,实现了模块的低功耗传输。可以看出,在未采用均衡技术的情况下,4 个通道的眼图清晰,平均抖动仅为 1.8 ps,并且具有较好的一致性。此外,本文还测试了 4x25 Gb/s 的光收发模块在 2 km 的传输距离的系统传输性能,

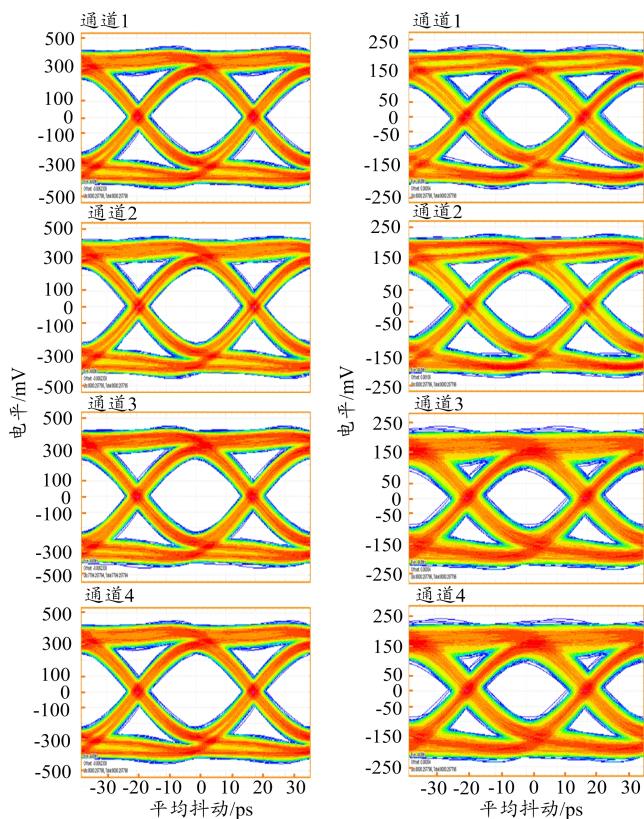
如图 10(b)所示。差分信号的单端输出信号的峰峰值为 300 mV,可以看出 4 个通道的眼图较清晰,平均抖动较小,4 个眼图具有较好的一致性,但是与传输距离为 1 km 的系统相比较而言,眼图质量存在恶化,眼图眼皮增厚,眼睛抖动加大。采用 $2^{13}-1$ 的伪随机码序列信号按照 25 Gb/s 的速率传输,链路在 5 min 内的误码率依然为 0,系统性能依然较为优越,实现了该模块向更远传输距离上的延伸。综合以上指标可知,本文设计的 4x25 Gb/s 光收发模块是一种比较理想的光模块解决方案,在目前数据中心等高速短距光互连的传输领域有良好的应用前景。

5 结束语

本文对封装结构进行了设计优化,并通过光电仿真链路系统研究了调制器的有源区长度对光电系统的影响,确定了最优的调制器有源区长度;根据链路误码率仿真结果,逐一验证了激光器光功率、探测器响应度和驱动信号幅值等光电器件性能指标对混合集成链路性能影响,验证了现有器件指标能满足系统要求。同时,仿真验证了该封装结构的电学性能对混合集成模块的影响,满足系统指标要求。设计的 4x25 Gb/s 收发光电模块在 1 km 的传输距离下误码率小于 $1E-15$,收发模块的总功率仅为 3.6 W。

参考文献:

- [1] MILLER D A B, OZAKTAS H M. Limit to the bit-rate capacity of electrical interconnects from the aspect ratio of the system architecture[J]. Journal of Parallel and Distributed Computing, 1997, 41(1): 42-52.
- [2] CHO H, KAPUR P, SARASWAT K C. Power comparison between high-speed electrical and optical interconnects for interchip communication [J]. Journal of Lightwave Technology, 2004, 22(9): 2021-2033.
- [3] NAGASHIMA K, KISE T, ISHIKAWA Y, et al. A Record 1-km MMF NRZ 25.78-Gb/s error-free link using a 1060-nm DIC vcsel [J]. IEEE Photonics Technology Letters, 2016, 28(4): 418-420.
- [4] TEMPORITI E, GHILIONI A, MINOIA G, et al. Insights into silicon photonics Mach-Zehnder-based optical transmitter architectures [J]. IEEE Journal of Solid State Circuits, 2016(1): 1-14.
- [5] FREDERIC B, SHINICHI T, MITSURU T, et al. Benchmarking Si, SiGe, and III-V/Si hybrid SIS optical modulators for datacenter applications[J]. Journal of Lightwave Technology, 2017, 35(9): 1-1.
- [6] PATEL D. Design, analysis, and performance of a silicon photonic traveling wave Mach-Zehnder modulator[D]. Masters Diss: McGill University, 2014.



(a) 传输距离 1 km

(b) 传输距离 2 km

图 10 接收端 4 个通道 25 Gb/s 速率随时间的传输眼图