

引用本文:李博恺,何进.一种基于40 nm CMOS工艺的25 Gb/s新型CTLE电路[J].光通信技术,2023,47(6):32-37.

一种基于40 nm CMOS工艺的25 Gb/s新型CTLE电路

李博恺,何进*

(武汉大学物理科学与技术学院,武汉 430072)

摘要:为了解决传统连续时间线性均衡器(CTLE)均衡能力较差的问题,提出了一种基于40 nm互补金属氧化物半导体(CMOS)工艺的25 Gb/s新型CTLE电路,该电路采用并联电感峰化、负电容零点补偿和输出缓冲技术。介绍了并联电感峰化及无源器件对CTLE频率特性的影响,最后对新型CTLE电路进行了仿真。仿真结果表明:在数据传输速率为25 Gb/s时,该CTLE电路均衡后的-3 dB带宽从8.5 GHz拓展到21.3 GHz;输出信号眼图的差分电压峰峰值为410 mV,功耗为8.62 mW;整体电路版图面积为 $667\ \mu\text{m} \times 717\ \mu\text{m}$,具备功耗低和面积小的特点。

关键词:高速光通信;连续时间线性均衡器;电感峰化;负电容补偿;互补金属氧化物半导体

中图分类号: TN432 **文献标志码:** A **文章编号:** 1002-5561(2023)06-0032-06

DOI: 10.13921/j.cnki.issn1002-5561.2023.06.007

开放科学(资源服务)标识码(OSID):



New 25 Gb/s CTLE circuit based on 40 nm CMOS process

LI Bokai, HE Jin*

(School of Physics and Technology, Wuhan University, Wuhan 430072, China)

Abstract: In order to solve the problem of poor equalization ability of traditional continuous time linear equalizer(CTLE), a new 25 Gb/s CTLE circuit based on 40 nm complementary metal oxide semiconductor(CMOS) technology is proposed, which adopts parallel inductance peaking, negative capacitance zero compensation and output buffering technology. The influence of shunt inductance peaking and passive devices on CTLE frequency characteristics is introduced. Finally, the new CTLE circuit is simulated. The simulation results show that when the data transmission rate is 25 Gb/s, the equalized bandwidth of the CTLE extends from 8.5 GHz to 21.3GHz. The peak-to-peak differential voltage of the output signal is 410 mV, and the power consumption is 8.62 mW. The overall circuit layout area is $667\ \mu\text{m} \times 717\ \mu\text{m}$, which has the characteristics of low power consumption and small area.

Key words: high speed optical communication, continuous time linear equalizer, inductive peaking, negative capacitance compensation, complementary metal oxide semiconductor

0 引言

常用的均衡器电路主要包括前馈均衡器(FFE)、连续时间线性均衡器(CTLE)以及判决反馈均衡器(DFE)。FFE和DFE这2种均衡器的工作原理较为相似,它们的均衡能力由抽头系数控制。理论上,抽头系

数越多,恢复的信号就越接近理想波形,因此可以更彻底地消除码间串扰的影响。然而,这也会增加设计的难度和芯片的面积^[1-2]。与FFE和DFE这2种均衡器相比,CTLE则具有结构简单、能够对长拖尾的码间串扰进行均衡等特点。

近年来,均衡器已成为通信系统接收端不可或缺的重要组成部分。然而,由于数据传输速率日益提高,传统的CTLE已无法满足均衡需求。因此,为了解决传统CTLE均衡能力不足的问题,各种改进型的CTLE结构被提出。文献[3]采用有源电感结构和交叉耦合电阻,实现了较好的均衡效果和较高的传输速率,但是其芯片面积和功耗很大。在文献[4]中,CTLE电路采用了多级并联反馈网络,虽然高频增益得到提高、功耗得到降低,但是输出眼图的电压峰峰值很小,不利于后级

收稿日期:2023-05-19。

基金项目:国家自然科学基金项目(批准号:61774113)资助。

作者简介:李博恺(2001—),男,本科生,就读于武汉大学物理科学与技术学院微电子科学与工程专业,现已保研至东南大学信息科学与工程学院,主要研究方向是高速光通信及射频集成电路设计。本科期间曾荣获全国大学集成电路创新创业大赛三等奖。

*通信作者:何进(1975—),男,博士,副教授,博士生导师,研究方向为高速光通信和射频毫米波集成电路与系统设计。



电路的工作,且数据速率较低,仅有 6.25 Gb/s。

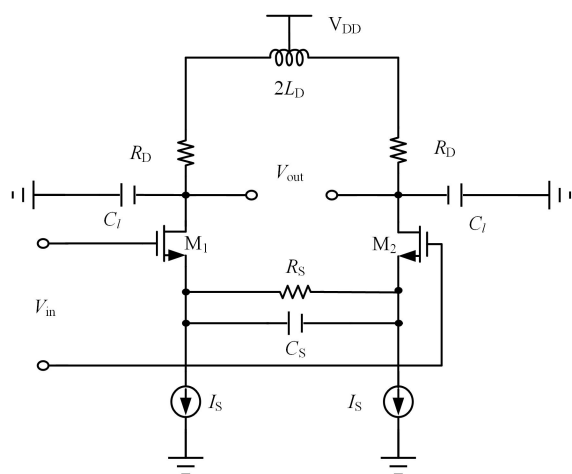
为了提高 CTLE 电路的高频增益和减小芯片面积,本文提出一种基于 40 nm CMOS 工艺的 25 Gb/s 新型 CTLE 电路。

1 新型 CTLE 电路设计

由于传统的 CTLE 电路采用阻-容(R_S-C_S)源极负反馈式共源放大均衡器结构,受自身增益带宽积的限制,无法起到较好的均衡作用^[5]。因此,需要对传统 CTLE 电路进行改进,结合并联电感峰化、负电容零点补偿和输出缓冲技术,以提高其均衡效果。

1.1 并联电感峰化

由于传统 CTLE 电路的负载为具有容性特性的电阻电容(RC)网络,这限制了极点出现的频率,当数据传输速率较高时,RC 网络就失去了对信号高频补偿的作用。电感具有抵消容性的能力,可将极点推到更高的频率上。因此,本文在传统 CTLE 电路的基础上加入峰化差分电感 $2L_D$ (电路结构如图 1 所示),电路两边将其电感值均分。CTLE 半边电路的小信号等效模型如图 2 所示^[6]。



R_D : 负载电阻; R_S : 反馈电阻; C_S : 反馈电容; C_L : 负载电容;
 $2L_D$: 峰化差分电感; M_1 、 M_2 : 差分对管; I_S : 尾电流源

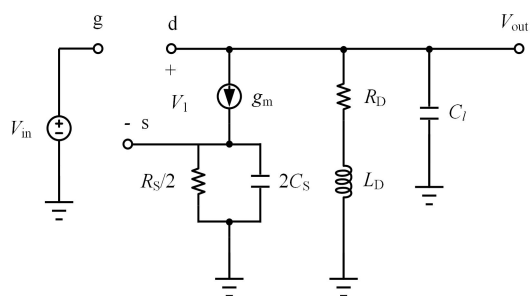
图 1 并联电感峰化型 CTLE 电路

本文从频域上对小信号等效模型进行分析,其传递函数如下:

$$H(u) = \frac{g_m R_D}{1 + g_m R_S/2} \cdot \frac{1 + u/\omega_{z1}}{1 + u/\omega_{p1}} \cdot \frac{1 + u(L_D/R_D)}{1 + uR_D C_L + u^2 L_D C_L} \quad (1)$$

其中, u 为复平面上的频率, ω_{z1} 、 ω_{p1} 分别为电路中的零点和极点。

将传统型与并联电感峰化型 CTLE 的频率特性进



g: MOS管栅极; s: MOS管源极; d: MOS管漏极;
 V_1 : MOS管漏源电压; g_m : MOS管跨导

图 2 CTLE 半边电路的小信号等效模型

行对比,对比结果如图 3 所示。可以看出,并联电感峰化型 CTLE 电路共存在 2 个零点 ω_{z1} 、 ω_{z2} 和 3 个极点 ω_{p1} 、 ω_{p2} 、 ω_{p3} ;两者的低频增益并没有变化,但是并联电感峰化型 CTLE 具有更大的带宽和更高的高频增益。

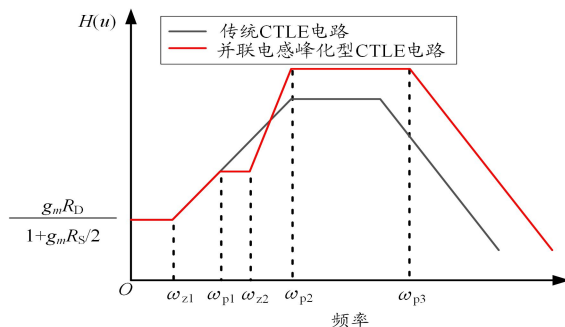


图 3 传统型和并联电感峰化型 CTLE 电路频率特性的对比

益。

1.2 负电容零点补偿

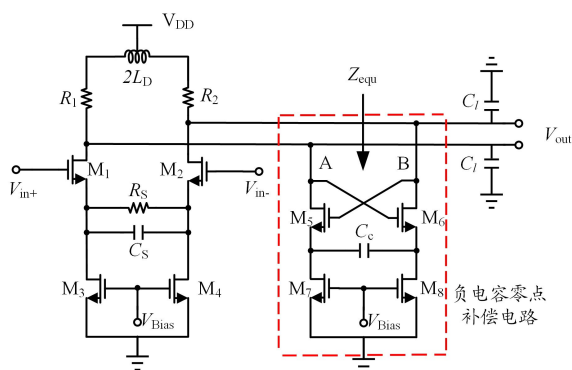
在传统型和并联电感峰化型 CTLE 的幅频特性中,均存在一个极点 ω_{p2} ,这导致高频增益在达到该点时出现停滞现象,降低了电路的均衡强度。因此,为了进一步提高高频增益,本文采用了一种负电容零点补偿技术^[7],其原理是在该极点处引入一个额外的零点,以抵消该极点的影响,这样高频增益在达到该点后可以继续增加。

带有负电容零点补偿的 CTLE 电路如图 4 所示。其中, N 型金属-氧化物-半导体(NMOS)管 M_5 和 M_6 为交叉耦合对。在不考虑沟道长度调制效应的情况下,进行小信号分析, A、B 两点的等效阻抗可以近似为

$$Z_{\text{equ}} = -\frac{1}{uC_c} - \frac{C_{\text{CS},6} + 2C_c}{g_{m5,6} C_c}, f \ll f_T \quad (2)$$

其中, $g_{m5,6}$ 是 M_5 和 M_6 的跨导, $C_{\text{CS},6}$ 为 M_5 和 M_6 的栅源电容, f 为工作频率, f_T 为 M_5 和 M_6 的截止频率。式(2)呈现出负电容阻抗特性,且产生一个额外的零点以抵消

李博恺,何进:一种基于 40 nm CMOS 工艺的 25 Gb/s 新型 CTLE 电路



R_1 、 R_2 : 负载电阻; V_{Bias} : 尾电流源偏置电压; C_c : 补偿电容;
 Z_{equ} : 负电容零点补偿电路的等效输入阻抗

图 4 带有负电容零点补偿的 CTLE 电路

极点 ω_{p2} ,从而进一步提高 CTLE 电路的高频增益。因此,结合电感峰化和负电容零点补偿技术的 CTLE 电路能够有效地应对具有严重衰减效应的信道,以及芯片互连线和器件寄生效应对高频增益的不利影响^[8-9]。

1.3 输出缓冲器

在实际应用中,由于 CTLE 电路需要驱动后续具有重负载特性的判决反馈均衡器(DFE),如果将 CTLE 的输出直接连接到 DFE 的输入端,将会严重减小输出信号摆幅,导致系统无法正常工作。因此,需要使用输出缓冲器来驱动后续负载。输出缓冲器是一个电流模式(CML)驱动的差分放大器,其结构如图 5 所示。NMOS 管 M_3 工作在饱和区,构成了一个连接源和漏的电流源,在电路中起到尾电流源的作用。输出缓冲器的输出共模电压和最大输出摆幅由尾电流和负载电阻 R_D 的大小共同决定。

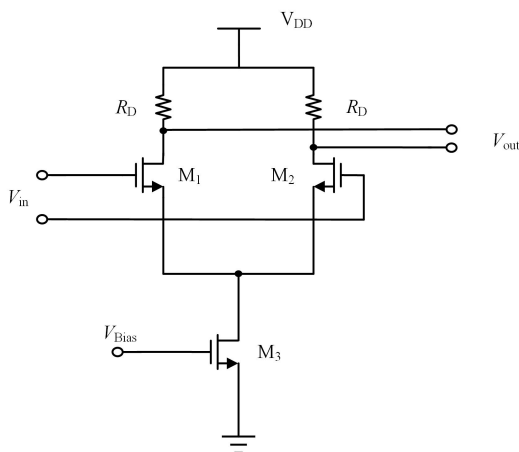


图 5 输出缓冲器电路

1.4 新型 CTLE 电路结构分析

本文提出的新型 CTLE 电路采用电阻和电容源极负反馈结构,并结合了并联电感峰化、负电容零点补

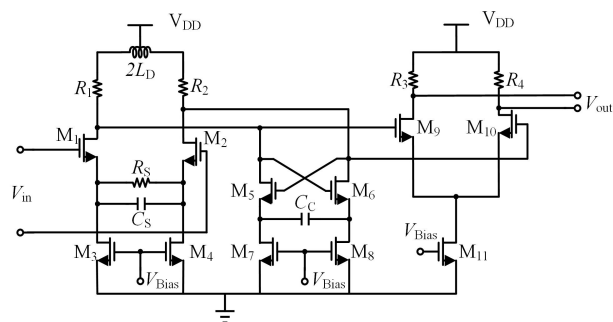


图 6 新型 CTLE 电路图

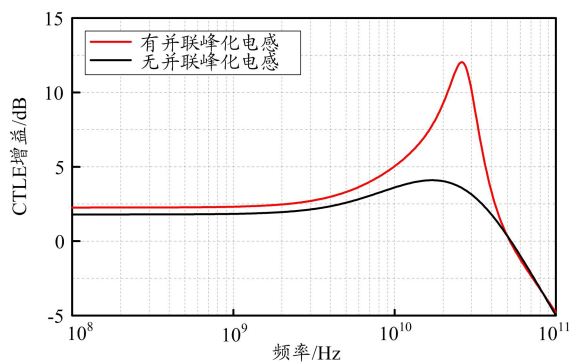
偿以及输出缓冲技术,其整体电路结构如图 6 所示。

1.4.1 $2L_D$ 对 CTLE 频率特性的影响

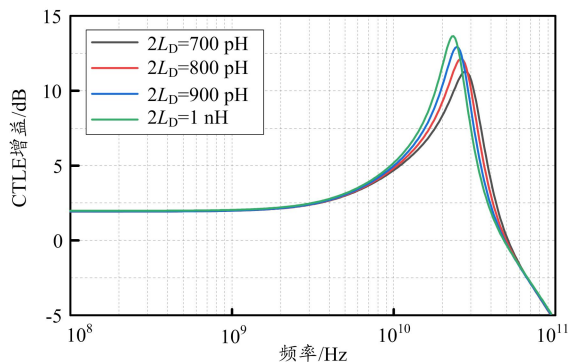
$2L_D$ 对 CTLE 频率特性的影响如图 7 所示。从图 7(a)可以看出,CTLE 采用并联电感后,并联电感起到了“峰化”(peaking)的作用,使得电路的高频增益出现了显著提升。电感不同的取值对 CTLE 频率响应的影响如图 7(b)所示。可以看出,当电感值变化时,“峰化”效果会随之改变,高频增益峰值对应的频率点会降低,从而电路的带宽会降低。因此,在设计时要权衡增益和带宽,选取合适的电感值。

1.4.2 C_c 、 R_D 、 R_S 、 C_S 对 CTLE 频率特性的影响

电路中无源器件 C_c 、 R_D 、 R_S 、 C_S 对 CTLE 的性能影



(a) 有无并联峰化电感的对比



(b) 不同电感值的影响

图 7 $2L_D$ 对 CTLE 频率特性的影响

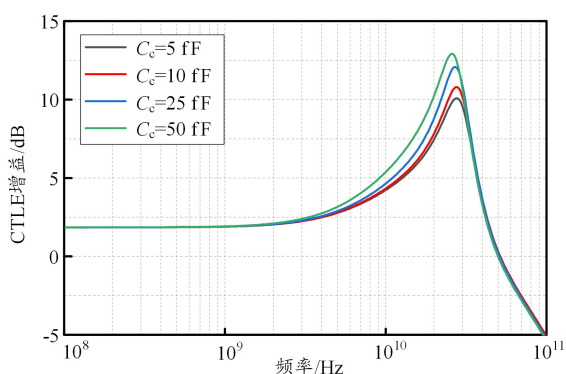
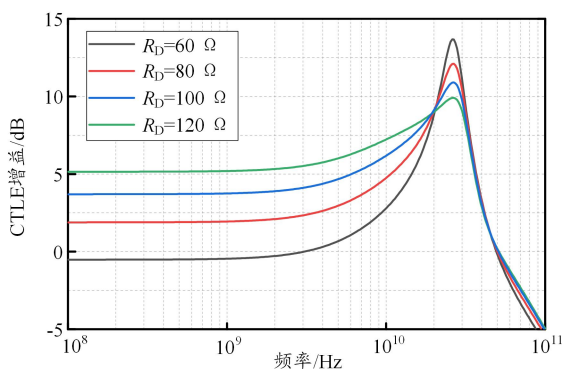
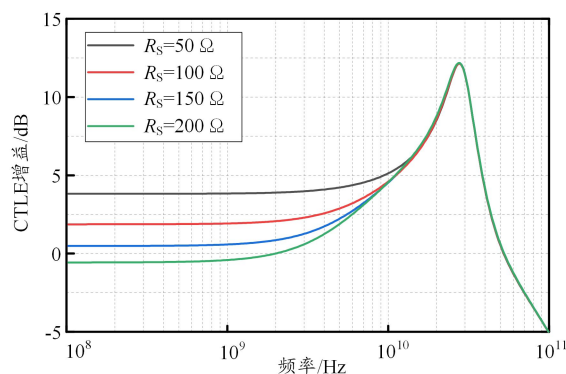
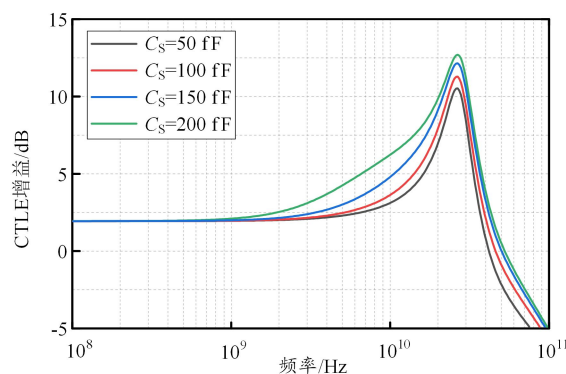
(a) C_L 的影响(b) R_D 的影响(c) R_S 的影响(d) C_S 的影响

图 8 无源器件参数对 CTLE 频率响应的影响

响如图 8 所示。从图 8(a)可以看出,随着 C_L 的增大,高频增益峰值对应的频率点会显著降低,从而导致电路的带宽减小。图 8(b)中,随着 R_D 的增大,低频增益增大,而高频增益减小,带宽减小,且高频峰值频率保持不变。图 8(c)中,随着 R_S 的增大,低频增益降低,而高频增益增大,带宽增大,显示出与 R_D 相反的特性,并且峰值频点未受到影响。图 8(d)中,随着 C_S 增大,低频增益保持不变,高频增益增大,而峰值频点变化较小。

从图 8 中的仿真结果可以看出,电路中的无源器件对新型 CTLE 电路的频率特性有着重要的影响。通过合理地设计这些无源器件的参数,可以灵活应对不同的信道特性。关键参数对新型 CTLE 电路性能的影响如表 1 所示。

表 1 关键参数对新型 CTLE 电路性能的影响

关键参数	直流增益 A_{DC}	峰值增益 A_{PK}	Peaking 频点 ω
$g_{m1,2}$	增大	减小	减小
L_D	无影响	增加	减小
R_D	增大	减小	无影响
R_S	减小	无影响	无影响
C_S	无影响	增大	无影响
C_L	无影响	增大	减小

2 新型 CTLE 电路版图与仿真

本设计所采用的 40 nm CMOS 工艺具有 1 层多晶硅、8 层金属后端和 1.1 V 电源电压。加入了焊盘、dummy 金属和密封环(seal ring)的整体电路版图如图 9 所示。该电路版图面积为 $667 \mu\text{m} \times 717 \mu\text{m}$,左、右两侧焊盘采用了中心距为 $60 \mu\text{m}$ 的 GSGSG 的布局结构,以保护差分射频信号,减少其它信号和噪声的干扰并改善信号质量。提取寄生参数后,在 TT 工艺角(标准的 NMOS 管和 PMOS 管)情况下,电路仿真结果如图 10 和图 11 所示。

图 10 为输入信道、CTLE 电路和输出信道的频率响应曲线。若信号传输速率为 25 Gb/s,应当设置传输信道的 -3 dB 带宽为 0.8 倍传输速率,即 20 GHz。当输入信道带宽小于 20 GHz 时(如图中红色曲线所示带宽),信道会衰减输入信号的高频分量,因此需要采用 CTLE 电路进行信道均衡处理,以便提升带宽。图中 CTLE 电路的低频增益约为 0.13 dB, -3 dB 带宽约为 40 GHz,峰值频点为 21.3 GHz,对应的高频增益峰值

李博恺,何进:一种基于40 nm CMOS工艺的25 Gb/s新型CTLE电路

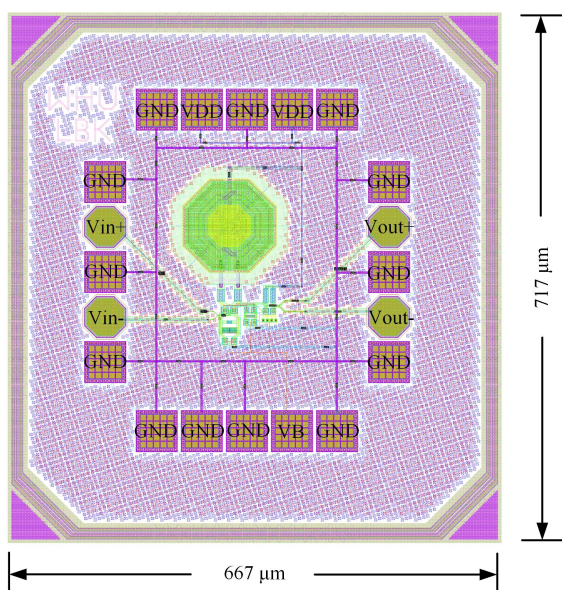


图9 25 Gb/s 新型CTLE电路版图

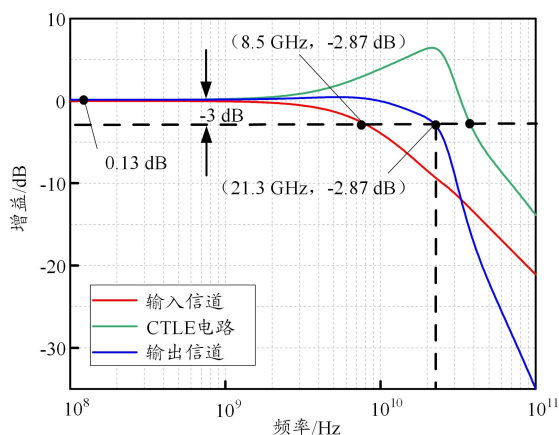
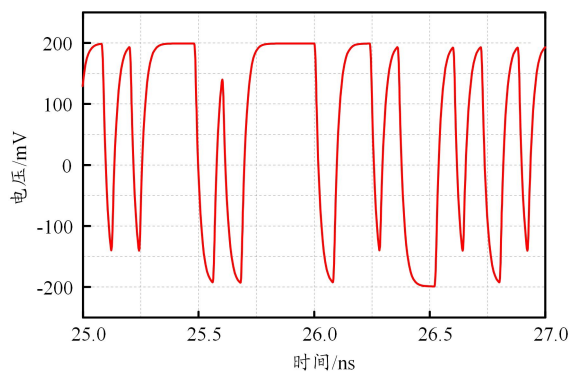


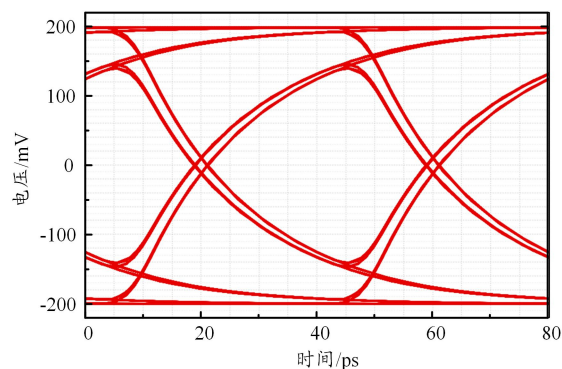
图10 输入信道、CTLE电路和输出信道的频率响应曲线

为6.45 dB。该高频增益峰值是通过调节无源器件参数(主要为1个差分电感)得到的最优值,相比文献[6]中采用8个电感的电路结构具有更好的增益带宽特性。因此,经过CTLE电路均衡后,输出信道的增益平坦且大小保持不变,不会衰减输入信号的摆幅;带宽从8.5 GHz扩展至21.3 GHz,能够有效补偿输入信号高频分量的损耗。

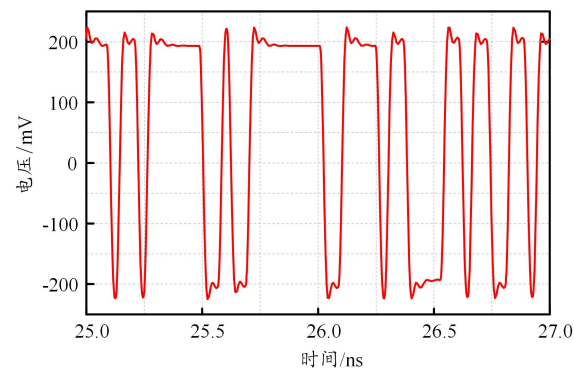
图11为输入、输出信号的波形图和眼图。图11(a)和图11(b)中,在输入非归零(NRZ)信号的差分电压峰峰值为400 mV、信道带宽为8.5 GHz的情况下,输入信号的高频分量出现了衰减现象,导致误码率升高,波形失真,相应的眼图“眼睛”处于半闭合状态。图11(c)和图11(d)中,经过CTLE电路的均衡,衰减的高频信号分量得到了补偿,恢复了失真的NRZ信号波形,“眼睛”完全打开且抖动很小,其差分电压峰峰



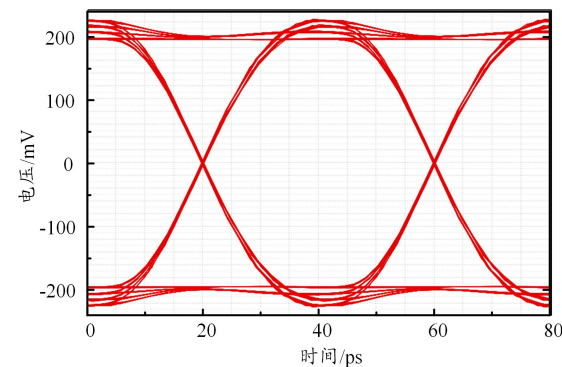
(a) 输入信号波形图



(b) 输入信号眼图



(c) 输出信号波形图



(d) 输出信号眼图

图11 输入、输出信号的波形图和眼图

表 2 不同工艺角下仿真的 CTLE 电路主要性能参数

工艺角	直流增益 ADC/dB	高频增益 APK/dB	Peaking 频点 ω /GHz	均衡后信号 带宽/GHz	差分电压 峰峰值/mV	直流电流/mA	直流功耗/mW
SS	0.4	4.11	10.7	15.3	420	4.95	4.9
TT	0.13	6.45	21.3	21.3	410	7.84	8.62
FF	-1.8	9.87	22.3	27.8	320	11.9	14.4

值约为 410 mV。由此可见,CTLE 电路具有很好的均衡效果。

在实际制造过程中,由于芯片在晶圆上的位置不同,会导致芯片的性能出现差异。通常,MOS 管的响应速度波动测试结果呈正态分布,其均值通常处于 3 种工艺角范围内,即最慢的 NMOS 管和 P 型金属-氧化物-半导体(PMOS)管(SS)、标准的 NMOS 管和 PMOS 管(TT)以及最快的 NMOS 管和 PMOS 管(FF)。在实际应用中,芯片的性能除了受到上述工艺的影响外,还会受到电源电压和环境温度的影响。不同工艺角下仿真的 CTLE 电路主要性能参数如表 2 所示。可以看出,尽管 CTLE 电路在 3 种不同工艺角下的结果存在较大差异,但它们均能实现均衡功能以扩展电路带宽,有效地补偿衰减的高频信号分量,改善码间串扰并降低误码率。

3 结束语

本文基于 40 nm CMOS 工艺提出了一款 25 Gb/s 新型 CTLE 电路。该 CTLE 电路采用了电阻、电容源极负反馈结构,并结合电感峰化、负电容零点补偿和输出缓冲技术以提高电路的增益带宽积。仿真结果表明:当输入 25 Gb/s 的 NRZ 信号时,新型 CTLE 电路可以将均衡后的-3 dB 带宽从 8.5 GHz 拓展到 21.3 GHz,有效地补偿高频信号的衰减分量。该均衡器有效地改善了传统 CTLE 的不足之处,其电路面积小、功耗低、均衡能力强,满足了高速光通信系统的应用需求。

参考文献:

- [1] SUN L, PAN Q, WANG K C, et al. A 26-28-Gb/s full-rate clock and data recovery circuit with embedded equalizer in 65-nm CMOS [J]. IEEE Transactions on Circuits and Systems, 2014, 61(7): 2139-2149.
- [2] AGRAWAL A, BULZACHELLI J F, DICKSON T O, et al. A 19-Gb/s serial link receiver with both 4-tap FFE and 5-tap DFE functions in 45-nm SOI CMOS[J]. IEEE Journal of Solid-State Circuits, 2012, 47(12): 3220-3231.
- [3] KIM M, BAE J, HA U, et al. A 24-mW 28-Gb/s wireline receiver with low-frequency equalizing CTLE and 2-tap speculative DFE[C]//2015 IEEE International Symposium on Circuits and Systems, May 24-27, 2015, Lisbon, Portugal. Piscataway: IEEE, 2015: 1610-1613.
- [4] 苏鹏洲,黄鲁,方毅,等.一种新型 6.25 Gb/s CTLE 均衡器的设计[J].微电子学,2016,46(2): 215-218.
- [5] LEE J, LEE K, KIM H, et al. A 0.1-pJ/b/dB 1.62-to-10.8-Gb/s video interface receiver with jointly adaptive CTLE and DFE using biased data-level reference [J]. IEEE Journal of Solid-State Circuits, 2020, 55(8): 2186-2195.
- [6] WANG H, LEE J. A 21-Gb/s 87-mW transceiver with FFE/DFE/analog equalizer in 65-nm CMOS technology [J]. IEEE Journal of Solid-State Circuits, 2010, 45(4): 909-920.
- [7] ZHANG K. A 4-Gb/s adaptive CTLE based on data edge counting and 8B10B coding for display port[C]//2022 7th International Conference on Integrated Circuits and Microsystems, October 28-31, Xi'an, China. Piscataway: IEEE, 2022: 453-458.
- [8] ATHARAV A, RAZAVI B. A 56-Gb/s 50-mW NRZ receiver in 28-nm CMOS[J]. IEEE Journal of Solid-State Circuits, 2022, 57(1): 54-67.
- [9] LEE J, WU K C. A 20-Gb/s full-rate linear clock and data recovery circuit with automatic frequency acquisition [J]. IEEE Journal of Solid-State Circuits, 2009, 44(12): 3590-3602.