

引用本文:李小鹏,熊太平,崔更申,等.面向 HDMI2.1 协议的高速双通道并行 16b/18b 编码器设计[J].光通信技术,2025,49(4):46-58.

面向 HDMI2.1 协议的高速双通道并行 16b/18b 编码器设计

李小鹏^{1,2},熊太平^{1,2*},崔更申²,吴明军^{1,2},曾必诚^{1,2}

(1.桂林电子科技大学 广西图像图形与智能处理重点实验室,广西 桂林 541004;2.桂林电子科技大学 南宁研究院,南宁 530000)

摘要:为了满足高清晰度多媒体接口 (HDMI) 2.1 协议对高速数据传输的需求并解决传统 16b/18b 编码器因运行差异 (RD) 依赖导致的延迟问题,提出了一种高速双通道并行 16b/18b 编码器设计方案。通过引入快速 RD 生成模块和双通道并行冗余架构,优化了编码流程,实现了真正的并行编码,并基于 Xilinx Zynq UltraScale+ MPSoC 现场可编程门阵列 (FPGA) 平台进行实验验证。实验结果表明:在 400 MHz 时钟频率下,编码器数据传输速率达到 14.4 Gb/s,且资源占用率低 (Block RAM 占比 62.5%),功耗仅为 2.636 W;该设计显著降低了编码延迟,并保持了稳定的线性时延特性。

关键词:16b/18b 编码;多通道编码器;双通道并行编码器;高清晰度多媒体接口

中图分类号:TP391;TN91 **文献标志码:**A **文章编号:**1002-5561(2025)04-0046-07

DOI:10.13921/j.cnki.issn1002-5561.2025.04.008

开放科学(资源服务)标识码(OSID):



Design of high-speed dual-channel parallel 16b/18b encoder for HDMI2.1 protocol

LI Xiaopeng^{1,2}, XIONG Taiping^{1,2*}, CUI Gengshen², WU Mingjun^{1,2}, ZENG Bicheng^{1,2}

(1. Guangxi Key Laboratory of Image and Graphic Intelligent Processing, Guilin University of Electronic Technology, Guilin Guangxi 541004, China; 2. Nanning Research Institute, Guilin University of Electronic Technology, Nanning 530000, China)

Abstract: To meet the high-speed data transmission requirements of the high-definition multimedia interface (HDMI) 2.1 protocol and address the latency issues caused by running disparity (RD) dependency in traditional 16b/18b encoders, a high-speed dual-channel parallel 16b/18b encoder design is proposed. By introducing a fast RD generation module and a dual-channel parallel redundant architecture, the encoding process is optimized, enabling true parallel encoding. Experimental validation is conducted on the Xilinx Zynq UltraScale+MPSoC field-programmable gate array (FPGA) platform. The results demonstrate that at a 400 MHz clock frequency, the encoder achieves a data transmission rate of 14.4 Gb/s with low resource utilization (Block RAM usage of 62.5%) and a power consumption of only 2.636 W. This design significantly reduces encoding latency while maintaining stable linear delay characteristics.

Key words: 16b/18b encoding, multi-channel encoder, dual-channel parallel encoder, high-definition multimedia interface

0 引言

随着 4K 和 8K 超高清电视的普及,高清晰度多媒体接口 (HDMI) 论坛公司推出了 HDMI2.1 协议标

收稿日期:2024-11-17。

基金项目:国家自然科学基金项目(12064004)资助;广西重点研发计划项目(桂科 AB23075076)资助。

作者简介:李小鹏(1999—),男,广西梧州人,硕士研究生,现就读于桂林电子科技大学计算机与信息科学学院计算机技术专业,主要研究方向为高清图像传输编解码技术和图像处理。

* 通信作者:熊太平(1977—),男,博士,副研究员,硕士生导师,主要研究方向为计算机视觉、量子信息。



准。该标准将传输速率从 HDMI2.0 的 18 Gb/s 提升至 48 Gb/s^[1]。高速传输协议需依赖线路编码技术保障数据传输的可靠性。现有编码方案中,8b/10b 编码的传输效率为 80%,复杂度较低,但时延较高;16b/18b 编码的传输效率为 89%,其时延与复杂度较为均衡;64b/66b 编码的传输效率可达 96.97%,时延较低,但实现复杂度显著增加^[2]。HDMI2.1 协议选择 16b/18b 作为其编解码方案。

目前,16b/18b 编码电路的实现主要基于 2 种方法:查找表法和逻辑编码组合法。现有研究多集中于前者的优化与改进^[3-13],而对后者的探索相对有限。在

16b/18b 编码技术领域,国内外研究成果较少。传统方法^[6-15]通过将多通道 8b/10b 编码器的工作时钟频率设置为数据时钟频率的若干倍来实现编码,然而这种倍频设计受限于芯片性能,难以适用于复杂度更高的 16b/18b 编解码器^[4,6-7,9]。

针对上述问题,本文提出一种面向 HDMI2.1 协议的高速双通道并行 16b/18b 编码器设计方案。

1 16b/18b 编码技术

1.1 16b/18b 编码技术的原理

16b/18b 编码技术采用分组编码方式,将输入的 16 位数据拆分为高 9 位和低 7 位 2 组数据。这 2 组数据分别通过编码模块转换为 10 位和 8 位的编码输出。以 9b 编码为例,每 9 位原始数据对应 2 种 10 位编码方案,其核心区别在于“0”和“1”的数量差异,这种差异量化为不平衡度(Disparity,简称 D 值)。D 值的计算方法为“0”的个数减去“1”的个数,其取值范围包括 0、±2 和±4 这 5 种可能。在编码过程中,每个编码单元的 D 值会影响编码流的运行差异(RD)状态。RD 表征编码流中“0”和“1”的累计数量差,其状态仅有 RD-和 RD+。相应地,7b 编码模块具有与 9b 编码相同的特性^[16-17]。

1.2 编码器的 RD 转换原理

由于 16b/18b 编码的复杂度较高,查找表法因其实现简便性成为编码器设计的优选方案。在该方法中,RD 值的动态维护是核心设计要素。编码器的 RD 转换原理图如图 1 所示,其初始状态预设为 RD-。在编码过程中,RD 状态根据当前编码单元的 D 值进行更新,具体转换规则如下:

1)RD-状态下:

当 D 值=0 时,保持 RD-状态;

当 D 值<0 时,转换为 RD+状态;

2)RD+状态下:

当 D 值=0 时,保持 RD+状态;

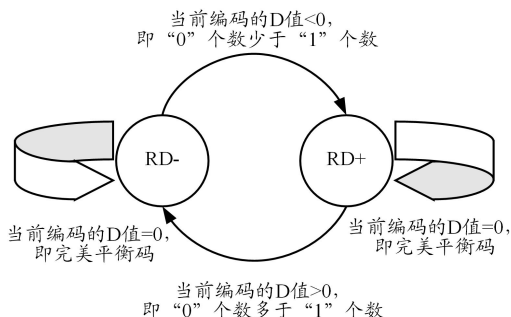


图 1 编码器的 RD 转换原理图

当 D 值>0 时,转换为 RD-状态。

根据 HDMI 2.1 标准规范,RD 状态与 D 值之间存在严格的约束关系:RD-状态下,对应编码的 D 值≤0;RD+状态下,对应编码的 D 值≥0。

本文通过表 1 的编码规则与 RD 转换机制的协同作用,有效避免了数据流中出现连续 9 个“1”或“0”的情况。这种设计显著降低了信号直流分量,从而提升了接收端数据恢复的准确性和系统传输可靠性。

表 1 RD 值更新与被选择编码 D 值的关系表

当前 RD 值	10 位或 8 位编码的 D 值	选中的 D 值	下一个 RD 值
-1	0	0	-1
-1	-4, -2, +2, +4	-2	+1
-1	-4, -2, +2, +4	-4	+1
+1	0	0	+1
+1	-4, -2, +2, +4	+4	-1
+1	-4, -2, +2, +4	+2	-1

2 高速双通道并行 16b/18b 编码器设计

2.1 高速低时延编码器

传统 16b/18b 单通道编码器的结构如图 2(a)所示,主要由 9b 编码模块、7b 编码模块和 2 级 RD 计算模块组成。其中,第二级 RD 计算模块的运行依赖于第一

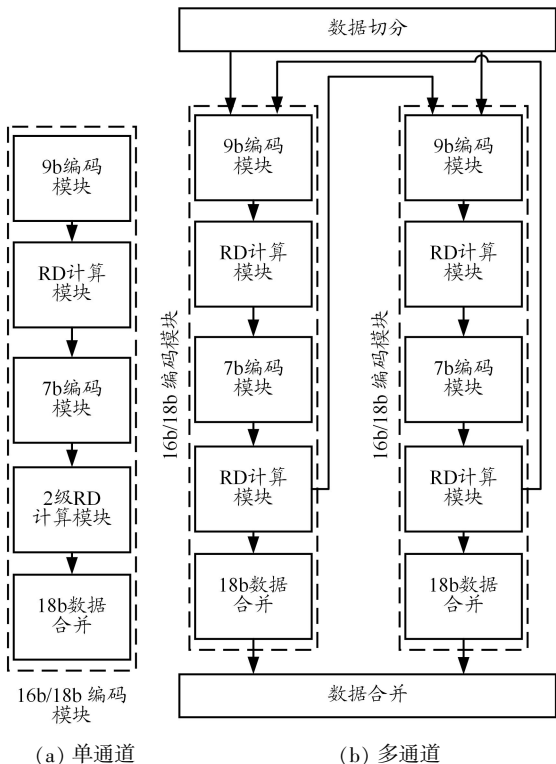


图 2 传统 16b/18b 编码器结构框图

李小鹏,熊太平,崔更申: 面向 HDMI2.1 协议的高速双通道并行 16b/18b 编码器设计

级输出的 RD 值^[23]。图 2(b)为传统的多通道并行编码器架构,其特点是各通道的编码模块和 RD 计算模块之间存在相互依赖关系,每个通道的运行都需要参考其它通道输出的 RD 值。这种设计虽然能够保证编码数据流中“0”和“1”的平衡性,但同时也导致了编码器时钟延迟的增加。

由此可见,在设计编码器时,为了提升数据传输速率并降低工作时钟频率,必须解决编码器的时钟延迟问题。根据 HDMI2.1 协议要求,单通道最高传输速率需达到 12 Gb/s。若采用传统单通道编码方案,编码器内部工作频率需要达到 1.334 GHz,这对大多数现场可编程门阵列(FPGA)芯片来说都难以实现。改进后的架构使得 3 个并行的 16b/18b 编码电路仅需 1 个时钟周期即可完成 38 位数据输出,显著降低了编码器所需的工作时钟频率。

2.2 快速 RD 产生的新型 16b/18b 编码电路

本文首先在传统多通道并行编码器中引入快速 RD 产生模块,其设计框图如图 3 所示。该架构由传统的 9b 编码模块、7b 编码模块和 RD 计算模块改进为 4 个功能模块:块存储生成器(BMG)数据读取模块、数据标记选取模块、编码变换计算模块和数据合并输出模块。

16 位输入数据共存在 65 536 种可能的组合,每种组合的输出编码均取决于当前的 RD 状态。若不考虑部分数据在 2 种 RD 状态下编码相同的情况,理论上需要存储 131 072 种编码组合,这将占用过大的存储空间,导致编码器产生显著的时钟延迟。

为解决上述问题,本文基于 16b/18b 编码原理,预先建立了输入数据、输出数据与 RD 变换的对应关系,如表 2 所示。该编码表包含 65 536 个表项,每个表项对应 2 种可能的输出数据。每个输出数据采用 19 位编码格式,其中:低 18 位[17:0]为实际编码数据;最高位(RD 更新标志位)作为状态标识,用于指示在编码完成后 RD 状态是否需要更新。

基于该编码表实现的 16b/18b 编码器,省去了传统的 9b 编码、7b 编码以及中间 RD 值计算过程,实现了 16 位输入数据到 18 位编码数据及更新后 RD 值的直接输出。这种设计显著提高了编码效率,降低了时钟延迟。

表 2 带有 RD 辅助信息的编码表

编码表索引 (输入数据)	编码表表项数值(输出数据)	
	RD=RD+	RD=RD-
0000000000000000	1_001101001001101011	0_110010110110010100
0000000000000001	1_001101001001110011	0_110010110110001100
⋮	⋮	⋮
0000000000000111	0_001101001011100001	1_110010110111100001
⋮	⋮	⋮
1111111111111111	1_010110100001011101	0_101001011110100010

注:在实际应用中,使用 1 表示 RD+,使用 0 表示 RD-。

若使用查找表(LUT)构成的随机存取存储器(RAM)存储编码表,会导致程序无法运行,因为编码表占用空间过大。因此,应采用更适合的 Block RAM 资源。表 2 展示的编码表基于理论构建,尽管它简化了编码电路的计算步骤,但在实际应用中需占用 2.375 Mb 的存储空间,这对当前主流 FPGA 芯片的内部存储资源提出了挑战。为了减少存储需求,通过分析 RD-和 RD+分别输出的 18 位编码,可以发现:将这 18 位编码拆分为 10b 和 8b 数据后,RD-与 RD+的 10b 数据之间存在相同或相反的关系,8b 数据亦然。基于此,本文采用 2 个 1 位标志(flag)来标记这些关系,用 0 表示相同,1 表示相反。优化后的编码表如表 3 所示,每个表项包含 22 位数据。其中,第 21 位为 flag10b,第 20 位为 flag8b,分别指示 10b、8b 数据是否需要取反;第 19 位是 RD+_new,第 18 位是 RD-_new,用于根据当前 RD 值选择新 RD 输出。剩余的 18 位[17:0]作为临时输出数据,其中位段[17:8]命名为 temp10b,作为临时的 10b 输出数据,位段[7:0]命名为

表 3 存储优化后带有 RD 辅助信息的编码表

码表索引(输出数据)	码表表项数值(输出数据)
0000000000000000	1_1_1_0_0011010010_01101011
0000000000000001	1_1_1_0_0011010010_01110011
⋮	⋮
0000000000000111	1_0_0_1_0011010010_11100001
⋮	⋮
1111111111111111	1_1_1_0_0101101000_01011101

注:该编码表存储的 value 值是 RD 为 RD+ 时的输出结果;当前 RD 为 RD- 时,需根据 flag 进行变换。

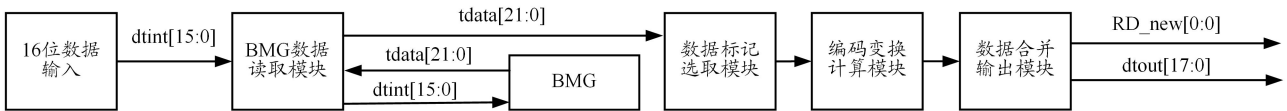


图 3 快速 RD 产生的新型 16b/18b 编码电路的设计框图

temp8b,作为临时的 8b 输出数据。这样不仅降低了存储需求,还保持了编码的有效性。

将优化后的编码表存入 BMG 创建的 RAM 后, BMG 数据读取模块根据使能信号和输入数据从存储空间中读取数据,然后将数据传递给数据标志选取模块和编码变换计算模块。在控制 BMG 读取数据时需要注意读取数据的时钟延迟,设计 BMG 数据读取模块要依据读取数据的时钟延迟进行优化,以控制数据流输出的时钟延迟。数据标志选取模块在接收到来自 BMG 数据读取模块的数据后,进行标志的选取,并将其传递给编码变换计算模块进行编码数值的变换,最后进行编码数据的合并和输出。快速 RD 生成的新型 16b/18b 编码电路工作流程如图 4 所示。首先,输入 16 位数据;其次,以该 16 位数据作为 BMG 的寻址地址从 RAM 中读取 22 位数据;然后,根据当前 RD 值从 22 位数据中选取对应标志位,依据标志位分别对 10 位数据和 8 位数据进行转换计算;最后,将转换后的 10 位数据和 8 位数据组合为 18 位数据,并输出新的 RD 值。

2.3 双通道并行冗余编码器设计

由于快速 RD 产生的设计只能降低单个 16b/18b 编码电路的延迟,无法消除多通道之间的 RD 依赖关系。因此,在设计多通道并行的编码器时,为进一步降低延迟,本文设计的双通道并行冗余编码器的架构如图 5 所示。该架构基于传统多通道编码器,按照 HDMI2.1 协议的速率要求设计而成。在该框架的双通道模块中,通道 1 放入 1 个编码电路,通道 2 放入 2 个编码电路。

双通道并行冗余编码器工作流程图如图 6 所示。当 32 位数据输入时,首先经过数据拆分模块,将数据

分为 2 个 16 位数据。高 16 位数据传给通道 1 的编码电路,低 16 位数据传给通道 2 的编码电路。鉴于传统的多通道编码电路中每一路通道都依赖上一路的 RD 值,且 RD 值只有 2 种情况,因此本文在通道 2 放入 2 个编码电路,对这 2 个编码电路分别输入固定的 RD-和 RD+。如此,通道 2 的 2 个编码电路不依赖通道 1 编码电路的 RD 结果。在这样的设计框架下,双通道的 3 个编码电路可以实现真正的并行工作。经过 1 个时钟延迟后,3 个编码电路同时输出结果,然后根据通道 1 编码电路输出的 RD 值来决定选用通道 2 中哪一个编码电路的输出结果。当通道 1 输出的 RD 值为 RD-时,选择通道 2 中 RD-编码器的输出结果,即 RD_new22 和 dtout22;当通道 1 输出的 RD 值为 RD+时,选择通道 2 中 RD+编码器的输出结果,即 RD_new21 和 dtout21。随后,将所选 RD 值输出并写入到全局 RD 寄存器;同时,将通道 2 的编码数据与通道 1 的编码数据合并,形

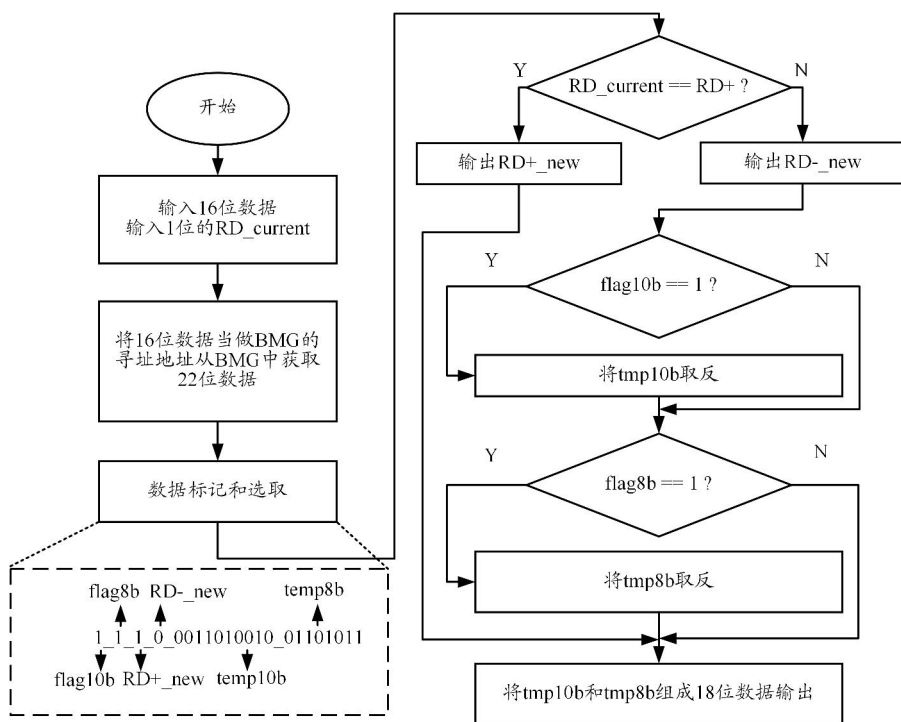


图4 快速 RD 产生的新型 16b/18b 编码电路工作流程图

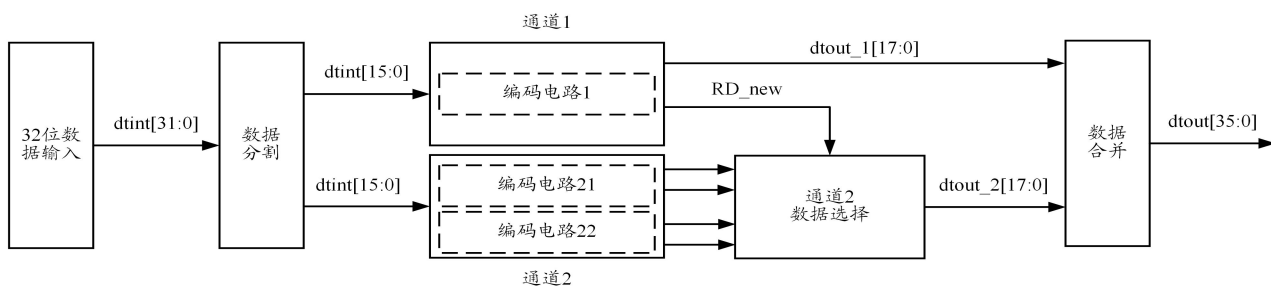


图5 双通道并行冗余编码器的设计框图

李小鹏,熊太平,崔更申: 面向 HDMI2.1 协议的高速双通道并行 16b/18b 编码器设计

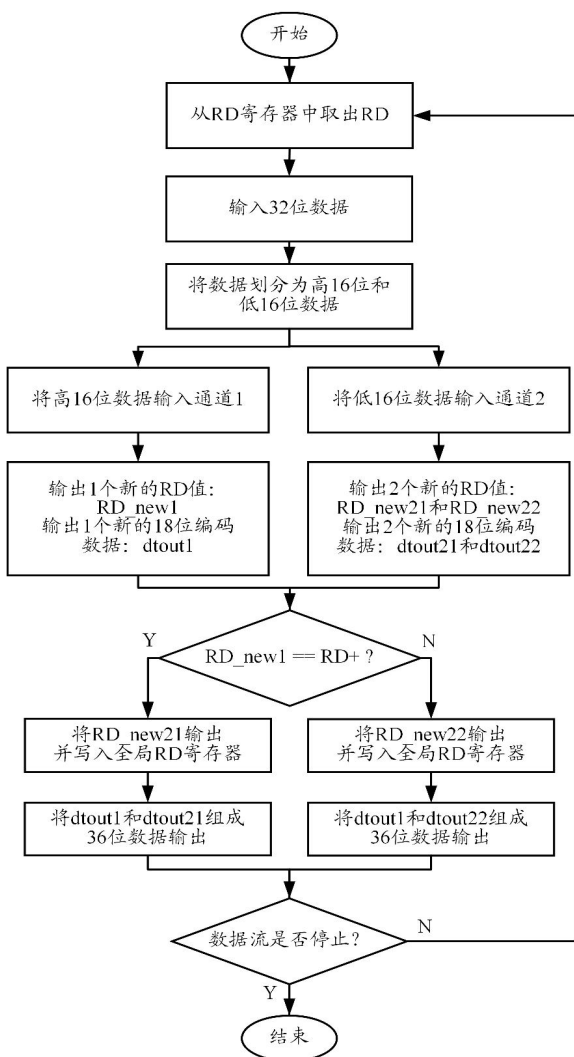


图6 双通道并行冗余编码器工作流程图

成 36 位编码数据输出。在新一轮编码开始时,全局寄存器中的 RD 值将作为输入传递至通道 1 的编码器,如此循环,实现双通道并行的 16b/18b 编码。

3 测试与验证

编解码器的 Verilog 开发完成后,为验证编码器的性能与可靠性,本文采用 FPGA RTL 程序与 CPU 软件程序的协同验证方案。测试数据通过 Python 程序随机生成。

硬件测试基于 MYC-4EV 开发平台,其核心处理器采用 Xilinx Zynq UltraScale+ MPSoC 系列XCZU4EV 芯片。实验过程中,FPGA 工作频率配置为 400 MHz。整个开发流程在 Xilinx Vivado 集成环境中完成,包括 Verilog 代码编写、功能仿真、逻辑综合、布局布线和板级调试等环节。

软件测试环境搭建于 Windows 10 操作系统平台,

硬件配置为 Intel Core i5-10400 处理器(基础频率 2.90 GHz)及 16 GB 内存。鉴于软件系统环境的复杂性,每组实验均进行多次重复测试,最终结果取算术平均值以确保数据可靠性。

通过测试,在 400 MHz 时钟频率下,编码器可实现最高 14.4 Gb/s 的编码速率。该速率通过对多个测试样本进行吞吐量测量得出,体现了系统在高频运行下良好的时序性能与数据处理能力。在实际测试中,编码器输出与预期数据完全一致,验证了其逻辑功能的正确性与可靠性。

3.1 编码器的资源占用

编解码器详细资源占用情况如表 4 所示。可以看出,编码器所使用的资源中占比较多的是 Block RAM Tile。由于编码工作主要是位运算和码表的数值选择,因此本文未使用数字信号处理(DSP)资源。

表 4 编解码器详细资源占用情况

硬件资源名称	可用资源/个	使用资源/个	占比/%
CLB LUTs	87 840	560	0.64
CLB Registers	175 680	64	0.04
F7 Muxes	58 560	108	0.18
F8 Muxes	29 280	54	0.18
Block RAM Tile	128	80	62.50
CARRY8	14 640	4	0.03
URAM	48	0	0.00
DSPs	728	0	0.00
Bonded IOB	252	1	0.40
GLOBAL CLOCK BUFFERs	352	1	0.28
PLL	8	0	0.00

3.2 编码器的功耗

通过 FPGA 的处理系统(PS)端生成时钟信号,经 Vivado 综合实现后,测得编码程序的总功耗为 2.636 W。该功耗可分为动态功耗和静态功耗 2 部分,编解码器各模块功耗占用情况如表 5 所示。可以看出,动态功耗(2.185 W)主要包括时钟(0.003 W)、逻辑单元(0.000 W)、I/O(0.026 W)及处理系统端(2.156 W)的功耗。静态功耗(0.451 W)主要来自 FPGA 的可编程逻辑(PL)端(0.374 W)和处理系统端(0.104 W)。为进一步分析纯编码程序的功耗特性,在移除处理系统端时钟信号后重新进行测试,可以看出,动态功耗(0.029 W)主要包括时钟(0.003 W)、逻辑单元(0.000 W)及 I/O

表 5 编解码器各模块功耗占用情况表

程序名称	模块功率类别	功率/W	
		未移除处理 系统时钟	移除处理 系统时钟
multiEncode	时钟	0.003	0.003
	逻辑单元	0.000	0.000
	I/O	0.026	0.026
	处理系统端	2.156	0.000
	可编程逻辑端	0.374	0.341
静态	处理系统端	0.104	0.000

(0.026 W) 的功耗。静态功耗仅包含可编程逻辑端 (0.341 W) 的功耗。

3.3 编码程序延迟

3.3.1 编码器延迟抖动性测试

为评估编码器在不同数据模式下的稳定性,实验设计采用 100 字符/组的测试单元, 累计完成 50 组独立测试,测试结果如图 7 所示。可以看出,在相同工作条件下,CPU 平台运行的 Python 和 C++ 程序表现出明显的延迟波动,而 FPGA 编码器始终保持恒定的处理

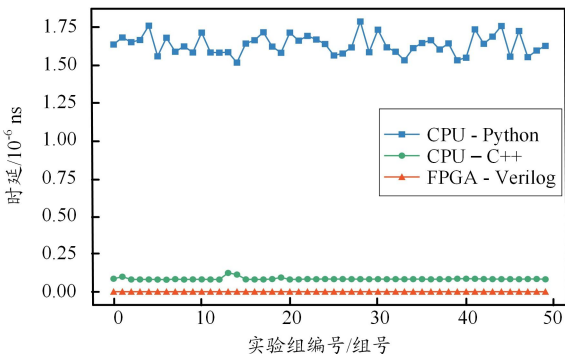


图 7 编解码器抖动性测试数据

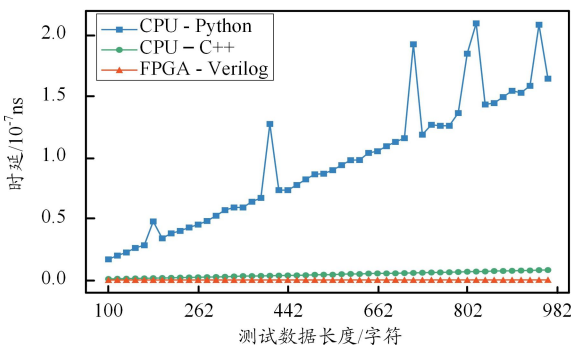


图 8 时延与数据长度相关性测试

延迟。这一结果证实了 FPGA 硬件方案在高速数据传输场景下的时序稳定性优势。

3.3.2 编码器延迟与数据长度相关性测试

通过构建 50 组递增数据流 (100~982 字符,步长为 18 字符)测试编码器的规模适应性,测得时延与数据长度的关系如图 8 所示。可以看出,随着数据长度增加,CPU 软件方案呈现非线性延迟增长,其中 Python 实现的性能波动尤为显著。相比之下,FPGA 编码器的处理延迟与数据长度保持严格的线性关系,其斜率稳定在 0.15 μ s/字符,展现出优异的可预测性。

4 结束语

本文针对 HDMI2.1 协议的高带宽需求,提出了一种优化的高速双通道并行 16b/18b 编码器设计方案。通过设计快速 RD 产生模块和双通道并行冗余架构,有效解决了传统编码器在 RD 依赖上的延迟问题,实现了真正的编码器并行工作模式。实验结果表明,该编码器在 400 MHz 时钟频率下可实现 14.4 Gb/s 的编码速率,完全满足 HDMI2.1 协议的传输要求。同时,该设计在资源利用率和运行稳定性方面均有显著提升。将该编解码器与 ZU4EV 芯片的 GTH 资源相结合,可构建完整的 HDMI2.1 物理层解决方案。

参考文献:

- [1] PARK G, PARK H, LHO D, et al. Design and measurement of a HDMI 2.1 connector for 8K TV considering signal integrity[C]//IEEE. Proceedings of 2020 IEEE Electrical Design of Advanced Packaging and Systems (EDAPS). Shenzhen: IEEE, 2020: 1-3.
- [2] ZENG J, YANG J, ZHANG L, et al. FPGA implementation of fixed-latency command distribution based on aurora 64B/66B[J]. IEEE Transactions on Nuclear Science, 2024, 71(6): 1348-1356.
- [3] POPA S, COLIBAN R M, IVANOVICI M. An optimal implementation of an 8b/10b encoder for Xilinx FPGAs [C]//IEEE. Proceedings of 2022 International Symposium on Electronics and Telecommunications (ISETC). Timisoara: IEEE, 2022: 1-4.
- [4] 万书芹, 陈婷婷, 陶建中, 等. 基于 JESD204B 协议高速并行 8bit/10bit 解码电路设计[J]. 半导体技术, 2021, 46(8): 604-610, 622.
- [5] SONG C, JUNG H, CHANG K, et al. A 24-Gb/s MIPI C-/D-PHY receiver bridge chip with phase error calibration supporting FPGA-based frame grabber[J]. IEEE Transactions on Very Large Scale Integration (VL-SI) Systems, 2024, 32(4): 714-727.
- [6] 常红, 柯道明, 孟坚, 等. 新型 8B/10B 编码方案的设计与实现[J]. 计算机工程与应用, 2018, 54(2): 87-90, 106.
- [7] 王俊杰, 万书芹, 叶明远, 等. 一种低延时的多通道 8B/10B 编码器设计[J]. 光通信技术, 2020, 44(2): 33-36.
- [8] 周爽, 周莉. 基于 FPGA 的 8B/10B 编解码 IP 核设计[J]. 仪表技术与传感器, 2023(12): 25-28, 36.

李小鹏,熊太平,崔更申:面向 HDMI2.1 协议的高速双通道并行 16b/18b 编码器设计

- [9] 李长庆,程军,李梁,等.采用并行 8b/10b 编码的 JESD204B 接口发送端电路设计[J].微电子学与计算机,2017,34(8):70-75.
- [10] 苏鹏洲.8b/10b 编解码器及 Rapid IO 2.0 差分接收机的设计[D].合肥:中国科学技术大学,2015.
- [11] CHEN Z J, ZHONG G H, BI Z. A high speed 8B/10B encoder/decoder design based on low cost FPGA[J]. Advanced Materials Research, 2012, 462: 361-367.
- [12] NANNIPIERI P, DAVALLE D, FANUCCI L. A novel parallel 8B/10B encoder: architecture and comparison with classical solution [J]. IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences, 2018(7): 1120-1122.
- [13] SONG S, YIN H, ZHAO J, et al. An 8B/10B parallel encoder design for the polarity pre-processing[J]. Journal of Physics: Conference Series, 2023, 2450(1): 012055-1-012055-7.
- [14] 徐潇迪,郭轩,周磊,等.基于 JESD204B 的多通道数据同步传输设计与验证[J].固体电子学研究进展,2021,41(4):304-308.
- [15] 任勇峰,杨舒天,刘东海.基于 8B/10B 编码的高速长距离可靠传输设计[J].现代电子技术,2022,45(20):26-30.
- [16] WIDMER A X, FRANASZEK P A. A DC-balanced, partitioned-block, 8B/10B transmission code[J]. IBM Journal of Research and Development, 1983, 27(5): 440-451.
- [17] POPA S, IVANOVICI M, COLIBAN R M. Optimal implementations of 8b/10b encoders and decoders for AMD FPGAs[J]. Electronics, 2024, 13(6): 1062-1-1062-28.
- [18] SUMA M S, REKHA S S. 16B/20B CODEC development and its ASIC implementation [C]//IEEE. Proceedings of 2009 International Conference on Future Computer and Communication. Kuala Lumpur: IEEE, 2009: 622-626.
- [19] 杜若楠,任勇峰,王淑琴.基于 CRC+8B/10B 的高速远距离传输设计[J].电子测量技术,2021,44(12):75-80.
- [20] 李圣昆,郝少帅,杨玉华,等.基于 FPGA 的 2 级冗余编码系统[J].探测与控制学报,2021,43(1):102-106.
- [21] 蔡万楼,赵建中,吕英杰. PCIe2.0 中 8b/10b 编码器的实现与扩展[J].南开大学学报(自然科学版),2019,52(2):34-38.
- [22] 郑红党,孙彦景,李松,等.基于 FPGA 技术的 8B/10B 信道编码设计[J].实验技术与管理,2021,38(3):40-44.
- [23] WIDMER A X. Partitioned DC balanced (0, 6) 16B/18B transmission code with error correction: 6198413 B1[P]. 2001-03-06.