

一种用于 400 Gb/s 光模块测试的低成本 PAM4 信号 BERT

肖刚, 马洪勇, 胡毅, 杨俊麒, 宋耕

(武汉光迅科技股份有限公司, 武汉 430205)

摘要: 针对 400 Gb/s 光模块在研发和生产等环节中的测试需求, 提出一种低成本四阶脉冲幅度调制(PAM4)信号比特率误码测试仪(BERT)的设计方案。首先, 介绍了 BERT 的总体方案和实现原理, 并分析了 400 Gb/s 光模块测试对 BERT 的需求和光模块内部数字信号处理(DSP)芯片的特点; 其次, 根据不同的应用场景, 详细说明了 BERT 的 2 种硬件实现形式和软件设计要点; 最后, 对该 BERT 进行了实际测试, 给出了 PAM4 电信号和光信号的实测结果, 结果表明该 BERT 可以满足实际应用的需求。

关键词: 400 Gb/s 以太网; 四阶脉冲幅度调制; 比特误码率测试仪; 码型发生器; 误码检测器

中图分类号: TN256 **文献标志码:** A **文章编号:** 1002-5561(2021)10-0019-05

DOI: 10.13921/j.cnki.issn1002-5561.2021.10.005

开放科学(资源服务)标识码(OSID):



Low-cost PAM4 signal BERT for 400 Gb/s optical module test

XIAO Gang, MA Hongyong, HU Yi, YANG Junqi, SONG Geng

(Accelink Technologies Co., Ltd., Wuhan 430205, China)

Abstract: In view of the test requirement of 400 Gb/s optical module in research and development and production, a low-cost 4-level pulse amplitude modulation (PAM4) signal bit error ratio tester (BERT) design scheme is proposed. Firstly, the overall scheme and implementation principle of BERT are introduced, and the requirement of 400 Gb/s optical module test for BERT and the characteristics of digital signal processing (DSP) chip inside the optical module are analyzed. Secondly, according to different application scenarios, two hardware implementation forms and software design points of BERT are detailed. Finally, the BERT is tested in practice, and the results of PAM4 electrical signal and optical signal are given, and the results show that the BERT can meet the needs of practical application.

Key words: 400 Gb/s ethernet; 4-level pulse amplitude modulation; bit error ratio tester; pattern generator; error detector

0 引言

比特误码率测试仪(BERT)是一种测量数据传输系统中比特误码率(BER)的电子测试设备,其中包含码型发生器(PG)和误码检测器(ED)。在光模块和光器件的研发和生产制造等环节中,BERT 是对其进行设计验证、特性表征和一致性测试所必配的测试设备。

当前,数据中心内部光互联主要采用的是 25 Gb/s 和 100 Gb/s 技术,即将向采用 100 Gb/s 和 400 Gb/s 技

术互联的向下一代网络演进;同时,随着 5G 规模建设的展开和各类应用的落地,400 Gb/s 光模块也将在 5G 回传及核心网上得到应用。在目前业界主流的光模块封装标准中,QSFP28^[1]对 100 Gb/s 光模块电接口(金手指)中的高速电信号的定义是 4 路 25 Gb/s 非归零码(NRZ)差分信号,而 QSFP-DD^[2]和 OSFP^[3]对 400 Gb/s 光模块电接口(金手指)中的高速电信号的定义都是 8 路 25 GBaud 四阶脉冲幅度调制(PAM4)差分信号。

目前,针对 100 Gb/s 光模块测试需求的 BERT 产品已经非常成熟,但只能提供 4 路 25 Gb/s NRZ 差分信号,显然不能满足 400 Gb/s 光模块对于 8 路 25 GBaud PAM4 差分信号的测试需求。同时,国内外的文献对于 100 Gb/s 速率以上的高速 BERT 的介绍大部分都是仪器厂家发布的设备手册,专注于高速 BERT 内部结构和实现方式的资料非常少。2017 年,华中科技大学^[4]提出了一种 4×25 Gb/s 低成本 NRZ 信号

收稿日期:2021-03-09。

基金项目:湖北省重点研发计划项目(2020BAA011)资助。

作者简介:肖刚(1976—),男,湖北武汉人,硕士,工程师,主要从事光传输设备和高速光收发模块方面的研究与开发工作,参与了多个不同类型的 400 Gb/s 光模块开发项目,并进行相关基础特性和 PAM4 光电信号测试技术的研究。



BERT,给出了相关的测试结果,并于 2019 年又提出了一种 PAM4 信号 BERT^[9],但是并未完成样机的实现和实际应用场景下的性能测试。在针对 PAM4 信号的 BERT 产品中,知名测试设备厂商 Keysight 公司^[10]推出的 M8040A 不仅可以实现 PAM4 信号输出速率连续可调和波形任意可调(如幅度、线性度和眼高等),还可以提供抖动信号的注入功能,但缺点是设备中的 PG 只能配置 2 路差分信号,ED 只能配置 1 路差分信号,且价格昂贵,仅适用于光模块与光器件的早期设计验证和对 PAM4 信号的压力测试。因此,本文提出一种用于 400 Gb/s 光模块测试的低成本 PAM4 信号 BERT。

1 BERT 总体方案

BERT 的总体设计方案如图 1 所示。该方案分为上位机和下位机测试板 2 个部分,通过 USB 接口连接,实现控制信息的下行和误码统计信息的上行。上位机部分用个人电脑以虚拟仪器的形式实现图形化的操作界面,为用户提供测试选项并显示测试结果;下位机测试板部分包括电源接口与电压转换单元、单片机单元、时钟单元和 2 个数字信号处理(DSP)单元。

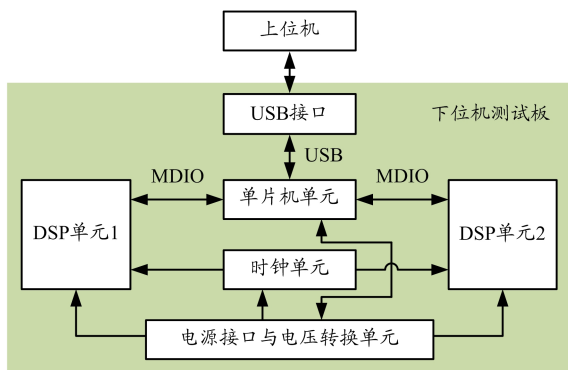


图 1 BERT 总体方案原理框图

电源接口与电压转换单元的作用是将普通的 220 V 交流电压转换为测试板所需的各种直流电压,测试板对面积没有限制,可以直接使用电源模块以降低设计难度。单片机单元的作用一是通过 USB 接口与上位机进行通信,二是通过管理数据输入/输出接口(MDIO)对 2 个 DSP 单元进行工作模式配置、状态监控和信息读取,三是控制 DSP 单元的上电顺序。时钟单元的作用是向 2 个 DSP 单元提供正常工作所需的 156.25 MHz 时钟信号。为了使 2 个 DSP 单元的时钟同步,时钟单元中的晶振芯片产生时钟信号后再由时钟缓冲(Buffer)芯片分配到 2 个 DSP 单元。DSP 单元的作用

是实现 PG 和 ED 这 2 个 BERT 的核心功能。理论上,采用 1 个 DSP 单元就可以实现 BERT 的功能,本文采用 2 个 DSP 单元是为了用一套设计方案兼容不同的应用需求。

在 400 Gb/s 光模块的调试与测试中,需要在模块的电接口(金手指)上同时输入、输出 8 路 25 GBaud PAM4 差分信号,要求 BERT 能同时发射和接收 8 路 25 GBaud PAM4 差分信号。显然,Keysight M8040A 并不能满足这一需求。

在 400 Gb/s 光模块内部的结构和功能单元中^[7],一般都会配置 DSP 芯片用来实现速率转换、时钟恢复和前向纠错(FEC)等功能。例如,在 400 Gb/s FR4 光模块中^[8-9],DSP 芯片在电域中实现了 8 路 25 GBaud PAM4 信号与 4 路 50 GBaud PAM4 信号之间的双向转换。在光模块的研发过程中,为了便于自身在研发过程中的调试与测试,DSP 芯片除了具备上述功能外,芯片中都集成了对伪随机码(PRBS)信号的诊断功能,根据这一特性刚好可以实现 BERT 所需的 PG 和 ED 功能。目前,主流的 400 Gb/s 光模块 DSP 芯片厂商为 Inphi 和 Broadcom,2 家公司的芯片均可采用。DSP 芯片能够实现的测试码型包括 NRZ 信号码型 PRBS7/9/11/13/15/16/23/31 和 PAM4 信号码型 JP03AJP03B、PRBS13Q、PRBS31Q、SSPRQ。

2 BERT 设计

2.1 硬件设计

BERT 的硬件设计集中于下位机测试板部分,根据不同的应用需求,有 2 种具体的硬件实现形式。

2.1.1 硬件实现形式一

硬件实现形式一的原理框图如图 2 所示。将 DSP 芯片 1 的监控时钟输出引脚用射频连接器引出,实现 BERT 的触发信号输出功能;将 DSP 芯片 1 的 8 路 25 GBaud PAM4 输出引脚用射频连接器引出,实现 BERT 的 8 路信号发射功能,即 PG;将 DSP 芯片 2 的 8 路 25 GBaud PAM4 输入引脚用射频连接器引出,实现 BERT 的 8 路信号接收功能,即 ED。

PRBS 码流并不是真正的随机码,它有精确的重复周期,具有可预测性^[10]。只要收发双方约定好使用的 PRBS 码型,接收端根据接收到的少量数据比特就能精确预测后面到来的每个比特,PRBS 码的这种自同步特性极大地方便了误码率的测试。根据这一特性,DSP 芯片 1 发出的 PRBS 码流可以由 DSP 芯片 2 来接收并统计 BER。

EEPROM 芯片 1 和 EEPROM 芯片 2 分别用于存储 DSP 芯片 1 和 DSP 芯片 2 正常工作所需加载的固件代码。DSP 芯片启动时通过串行外设接口 (SPI) 从 EEPROM 芯片加载固件,可以缩短加载时间,提高启动的速度。固件文件的下载则可以通过上位机→单片机→DSP 芯片→EEPROM 芯片的路径来实现,下载成功后,下位机测试板再次启动时,DSP 芯片即可通过 EEPROM 芯片来加载固件。

硬件实现形式一主要的应用场景是研发测试和生产测试。图 3 是对模块光发射端进行发射光眼图测试的原理框图,图 4 是对模块光接收端进行接收灵敏度测试的原理框图,2 种测试都是典型的测试应用,图中只画出了 1 个测试光通道。具体使用时,将 BERT 上的 8 路输入和 8 路输出射频连接器用射频线缆分别连接至光模块一致性测试板(MCB)上对应的输入和输出射频连接器,然后按标准配置速率和码型来测试模块的光发射端和光接收端性能。有关的测试参数和测试方法,可参考 IEEE802.3bs 等相关标准^[1]。

2.1.2 硬件实现形式二

硬件实现形式二的原理框图如图 5 所示。与硬件实现形式一相比,硬件实现形式二只是将射频连接器更换为 400 Gb/s 光模块连接器,同时将光模块连接器上的集成电路总线接口(IIC)^[12]连接到单片机单元,其

余部分完全相同。

硬件实现形式二的主要应用场景是运营商或者互联网公司对光模块的抽检需求和工程现场对光模块的简单验证测试。图 6 和图 7 分别为光模块和有源光缆(AOC)的验证测试原理框图。图 6 中,在 2 个 400 Gb/s 光模块连接器上分别插入 2 个被测光模块,将模块的光接口用光纤跳线环回,按指定的时间(例如 60 s)进行 BER 测试,并通过 IIC 接口读出模块内部寄存器的信息,即可实现同时验证 2 个模块的性能。图 7 中,在 2 个 400 Gb/s 光模块连接器上分别插入被测 AOC 两端的光模块,按指定的时间(例如 60 s)进行 BER 测试,并通过 IIC 接口读出模块内部寄存器的信息,即可验证其性能。尽管如此,由于 BERT 和 PAM4 信号的特性,使用时应注意以下 2 点:

①虽然形式二也可以测试模块的光接口性能,但对于生产环节的测试应采用形式一,将 BERT 用射频线缆连接 MCB 后,在 MCB 上对光模块进行测试。因为 BERT 属于测试设备,为降低损耗,不能和被测件一起进行高低温测试。

②在传统 NRZ 信号的 BERT 中,会在形式二中插入 1 个光模块,以便让 BERT 直接提供光信号用于传输链路环回测试。但这种方式并不适用于 PAM4 信号的 BERT,因为 PAM4 信号的原始 BER 要求很低(标

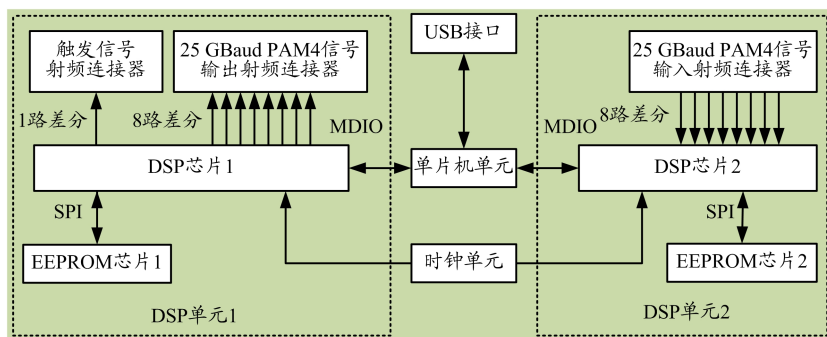


图 2 硬件实现形式一原理框图

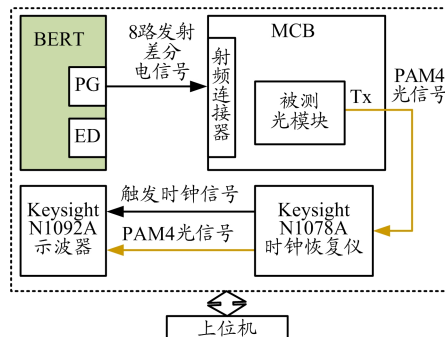


图 3 模块光发射端测试原理框图

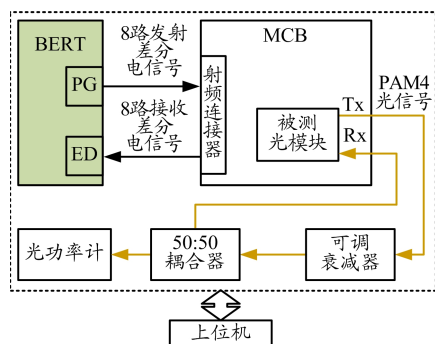


图 4 模块光接收端测试原理框图

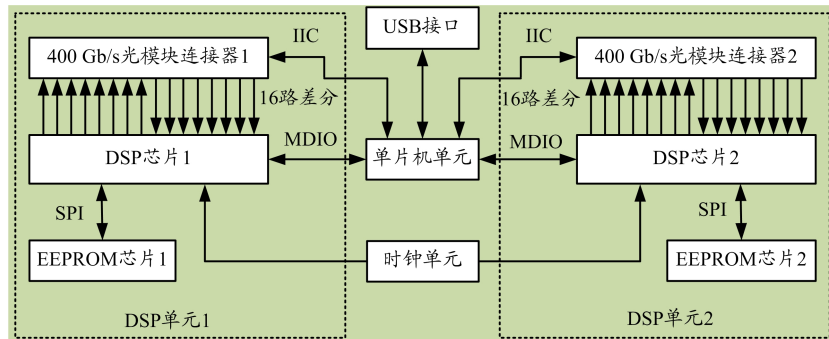


图 5 硬件实现形式二原理框图

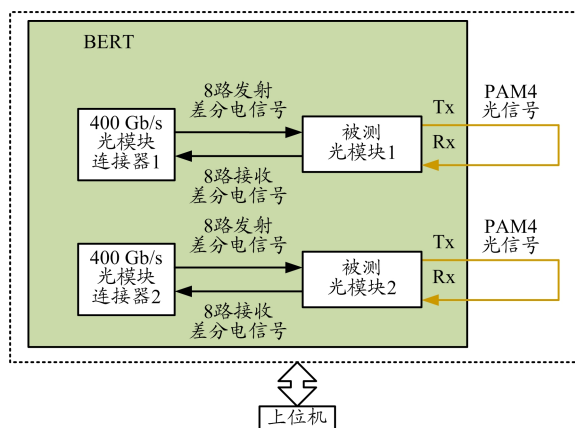


图6 光模块验证测试原理框图

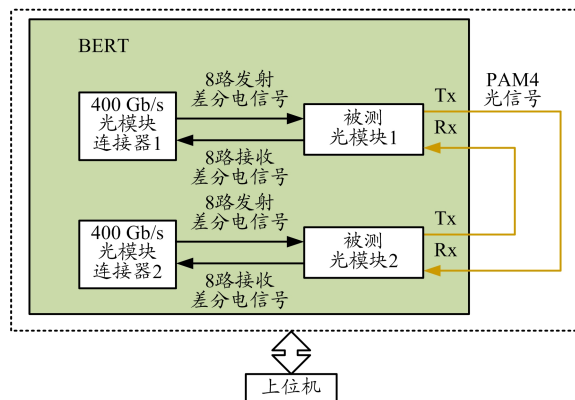


图7 AOC验证测试原理框图

准对光信号的BER要求仅为 2.4×10^{-4} ，对电信号的BER要求仅为 1×10^{-5} [11]，而且在光/电转换或者电/光转换的过程中都会带来新的误码，若不采用FEC技术，测试出的BER没有太大的实际意义。如果要求提供光信号用于传输链路环回测试，应该选择用于测试成帧信号的网络协议分析仪，如Viavi公司的ONT-804测试仪。

2.2 软件设计

软件设计分为上位机的图形化界面设计和下位机中的单片机固件设计。上位机通过LabVIEW编程提供工作和操作的界面，实现形式比较简单。单片机固件的功能包括DSP芯片工作模式配置、状态监控、误码信息读取、固件文件下载、光模块寄存器信息读取、USB与IIC和MDIO之间协议转换等。如果已经实现了400 Gb/s光模块的单片机固件设计，BERT基本可以沿用其代码，无需更多的开发工作。

3 测试实例

为了验证BERT的性能，本文对2种硬件实现形式进行实际测试。

3.1 硬件实现形式一测试

BERT发射PAM4电信号实测原理图如图8所示，采用硬件实现形式一，依据PAM4信号电眼图测试标准 [12] 将BERT的输出速率设置为26.5625 GBaud，码型设置为PRBS13Q，通过射频线缆将输出连接器连接到Keysight 86100D示波器上的N1046A测试模块，并使用Keysight N1078A时钟恢复仪的输出信号作为触发时钟信号，测试出的结果如图9和图10所示。图9为“眼图模式”下的PAM4电信号测试结果，PAM4电信号3个眼的眼高分别为86.4 mV、88.0 mV和98.2 mV，眼宽分别为18.92 ps、21.77 ps和20.51 ps。图10为“示波器模式”下的PAM4电信号测试结果，信号幅度峰峰值为542.98 mV。

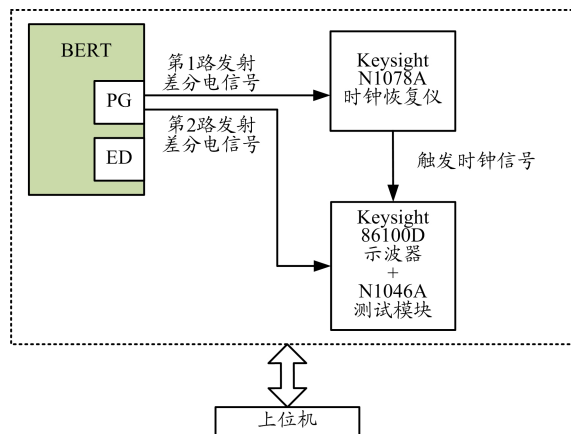


图8 BERT发射PAM4电信号实测原理框图

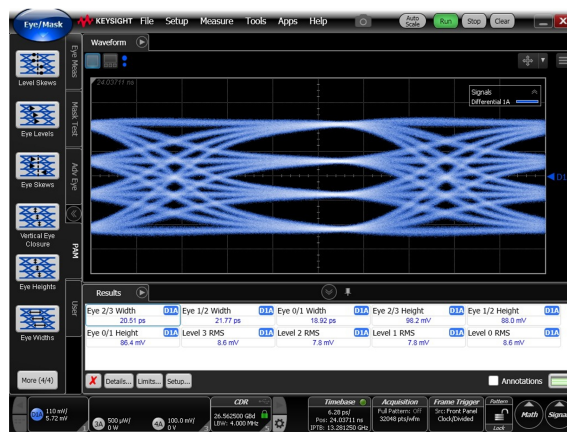


图9 “眼图模式”下的PAM4电信号测试结果

3.2 硬件实现形式二测试

按照模块光发射端测试原理（见图3），采用硬件实现形式二，依据PAM4光眼图测试标准 [9, 11] 将BERT的输出速率设置为26.5625 GBaud，码型设置为SSPRQ，在模块连接器中插入1个400 Gb/s QSFP-DD FR4光模块，使用Keysight N1092A示波器和N1078A

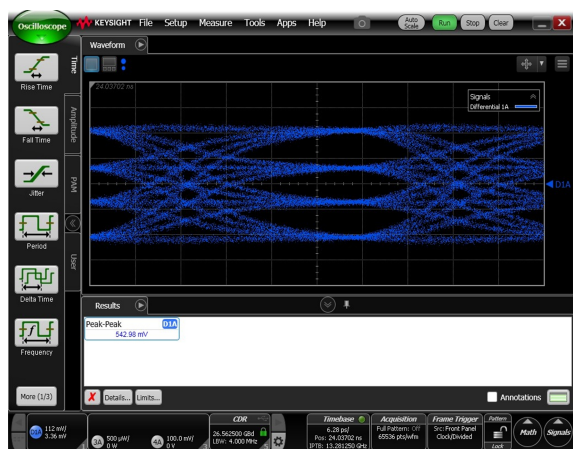


图 10 “示波器模式”下的 PAM4 电信号测试结果

时钟恢复仪测试出的 1311 nm 通道的 53.125 GBaud 发射信号光眼图如图 11 所示, 其中发射机色散眼图闭合代价 (TDECQ) 值为 2.00 dB, 消光比 (ER) 值为 5.868 dB。

以上测试是针对 BERT 的 PG 部分。对于 ED 部分, 在上述 FR4 光模块发射光眼图质量符合要求的前提下, 按照模块光接收端测试原理 (见图 4), 采用硬件实现形式二, 通过光纤跳线将可调衰减器串接到光发射端和光接收端之间进行环回接收测试。依据接收灵敏度测试标准^[9,11]将 BERT 的输出速率设置为 26.5625 GBaud, 码型设置为 PRBS31Q, 调节衰减器使接收光功率逐步减小至标准要求的最小值, 逐一测试各光通道, 测试出的接收 BER 均低于 1×10^{-7} 。上述测试实例的结果表明, 该 BERT 可以满足实际应用的需求。

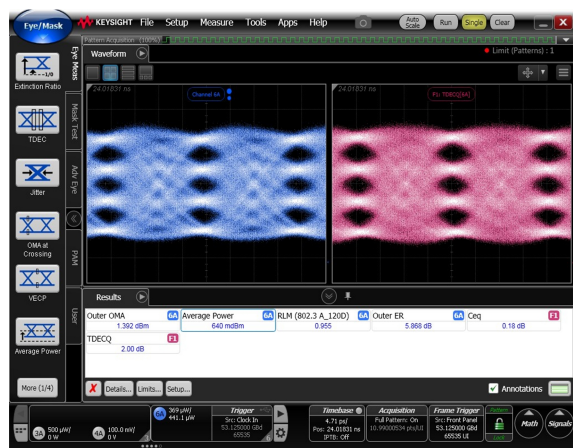


图 11 模块发射 PAM4 光信号测试结果

4 结束语

本文基于 400 Gb/s 光模块开发技术提出了一种低成本 PAM4 信号 BERT, 充分使用了 400 Gb/s 光模

块中 DSP 芯片的 PRBS 信号诊断功能, 以较低的成本实现了 BERT 的核心功能且简单实用, 为 400 Gb/s 光模块和光器件的测试提供了一种简便有效和切实可行的途径。本文所提 BERT 结构简单、成本低廉, 可以广泛地用于研发测试、生产测试和工程现场测试, 其不足之处在于速率不是连续可调, 但对于目前 400 Gb/s 光模块测试所需的 25.78125 GBaud 和 26.5625 GBaud 这 2 种速率已经可以满足需求。如果有条件, 可以与不同品牌的 BERT 产品进行参数比对测试, 以进一步验证性能。此外, 还可以根据客户的需求, 在此基础上增加必要的功能模块, 实现便携式或者机架式的 BERT 产品形式。

参考资料:

- [1] SCOTT K, ALEX N, HELIX A. Quad small form-factor pluggable (QSFP) transceiver specification revision 1.0 [EB/OL]. (2006-12-01) [2021-03-09]. <http://www.qsfp.org/pdf/QSFP-MSA.pdf>.
- [2] ALI G, MARK N, SCOTT S. QSFP-DD MSA QSFP-DD hardware specification for QSFP double density 8X pluggable transceiver revision 5.1 [EB/OL]. (2020-08-07) [2021-03-09]. <http://www.qsfp-dd.com/wp-content/uploads/2020/08/QSFP-DD-Hardware-rev5.1.pdf>.
- [3] BRIAN P, WARREN M, ANDREAS B, et al. OSFP MSA specification for OSFP octal small form factor pluggable module Rev 3.0 [EB/OL]. (2020-03-14) [2021-03-09]. https://www.osfpmsa.org/assets/pdf/OSFP_Module_Specification_Rev3_0.pdf.
- [4] 张楚. 低成本 4x25G 多通道并行误码仪的设计[D]. 武汉: 华中科技大学, 2017.
- [5] 石云悦. 一款 PAM4 误码测试仪的设计与实现[D]. 武汉: 华中科技大学, 2019.
- [6] 肖刚, 胡毅, 杨俊麒, 等. 400 Gb/s 热插拔光收发模块测试系统研究[J]. 自动化仪表, 2021, 42(2): 56-62.
- [7] CHANG F. Datacenter connectivity technologies: principles and practice [M]. Gistrup: River Publishers, 2018: 279-326.
- [8] 邓琨, 高万超, 陈意, 等. 400 Gbit/s FR4 光收发模块的研究[J/OL]. 光通信研究; 1-9 [2021-03-09]. <http://kns.cnki.net/kcms/detail/42.1266.TN.20201224.0907.002.html>.
- [9] NOWELL M, MAKI, YU R, et al. 400G-FR4 technical specification Rev 2.0 [EB/OL]. (2018-09-18) [2021-03-09]. <http://100glambda.com/specifications/download/2-specifications/7-400g-fr4-technical-spec-d2p0-2>.
- [10] 李凯. 高速数字接口原理与测试指南[M]. 北京: 清华大学出版社, 2014: 21-23.
- [11] LAN/MAN Standards Committee of the IEEE Computer Society. IEEE standard for ethernet amendment 10: media access control parameters, physical layers, and management parameters for 200 Gb/s and 400 Gb/s Operation, IEEE Std802.3bs-2017 [S]. New York: The Institute of Electrical and Electronics Engineers, Inc., 2017.
- [12] TOM P, MARK N, SCOTT S. Common management interface specification Rev 4.0 [EB/OL]. (2019-5-8) [2021-03-09]. <http://www.qsfp-dd.com/wp-content/uploads/2019/05/QSFP-DD-CMIS-rev4p0.pdf>.