

基于分组传送网的 SDH 伪线仿真设计与实现

邱帆,李博,郑乐,罗广军

(中国电子科技集团公司 第三十四研究所,广西 桂林 541004)

摘要:为实现分组交换网络与现存的电路交换网络兼容,伪线仿真技术提供了一套有效的连接方案。针对分组交换网络上的时分复用(TDM)业务透传需求,在现场可编程门阵列(FPGA)上设计并实现了一种基于分组传送网(PTN)的具备多通道融合、自适应时钟恢复和支持多种边缘到边缘伪线仿真(PWE3)协议的同步数字体系(SDH)伪线仿真方案。实验结果表明:该方案具有更高的恢复时钟精度,在非结构化封装且 ± 50 ppm、0 ppm 频偏下 SDH 输出信号最大频偏为 0.3 ppm,在结构化封装下对外输出频偏为 0 ppm;支持 155 Mb/s、622 Mb/s 速率自适应调整;具有高可靠性,误码率优于 $1.0E-9$ 。

关键词:分组传送网;同步数字体系;伪线仿真

中图分类号:TN929.11 文献标识码:A 文章编号:1002-5561(2019)10-0053-04

DOI:10.13921/j.cnki.issn1002-5561.2019.10.011

开放科学(资源服务)标识码(OSID):



Design and implementation of SDH pseudo wire emulation based on PTN

QIU Fan, LI Bo, ZHENG Le, LUO Guangjun

(The 34th Research Institute of CETC, Guilin Guangxi 541004, China)

Abstract: In order to realize compatibility between packet switching network and existing circuit switching network, pseudo-line simulation technology provides an effective connection scheme. To meet the demand of transparent transmission of time division multiplexing (TDM) services in packet switched networks, a synchronous digital architecture (SDH) pseudo-line simulation scheme based on field programmable gate array (FPGA) with multi-channel fusion, adaptive clock recovery and support of multiple edge-to-edge pseudo-line simulation (PWE3) protocols is designed and implemented on a packet transmission network (PTN). Experiments results show that the scheme has higher recovery clock precision, the maximum deviation of SDH output signal is 0.3 ppm under unstructured packaging with ± 50 ppm and 0 ppm frequency offset, and the frequency offset is 0 ppm under structured packaging; it supports 155 Mb/s and 622 Mb/s rate adaptive adjustment; it has high reliability, and the error rate is better than $1.0E-9$.

Key words: packet transfer network; synchronous digital hierarchy; pseudo-line simulation

0 引言

随着各种分组业务的出现和广泛使用,网络中的主要业务流量从时分业务转变为分组业务。以同步数字体系(SDH)为代表的电路交换网络由于自身的特点和缺陷越来越难以适应分组业务的需求,多协议标记

交换(MPLS)技术以其标签交换、控制转发分离的特性得到了迅速发展。为充分利用现有的网络资源,实现网络的升级拓展及平滑过渡,边缘到边缘伪线仿真(PWE3)屏蔽了电路交换网络与分组交换网络的差异,实现了2种网络的无缝连接,减小了网络的维护和升级难度^[1-5]。PWE3分为非结构化和结构化2种封装方式:非结构化忽略帧格式,通用性较强,使用方便;结构化可只传送使用数据,丢弃空闲数据,节省网络带宽。本文针对分组传送网(PTN),设计一种具备多通道融合、自适应时钟恢复和支持多种PWE3协议的SDH伪线仿真方案,为PTN提供更灵活的使用方式、扩展能力、更高的恢复时钟精度和网络适用性。

收稿日期:2019-07-25。

作者简介:邱帆(1976-),男,高级工程师。主要研究方向为数字光传输系统及设备、基于SDH的特殊光通信技术应用、面向5G数据回传的光智能接入和基于SDN的智能分组传输等技术,在基于SDN的智能分组传输等技术方面具有较强的研究经验及成果。



1 SDH 伪线仿真的设计与实现

1.1 SDH 伪线仿真总体设计模型

PWE3 网络参考模型如图 1 所示。网络边缘(PE)为其所连接的用户边缘(CE)建立了一至多条隧道,CE 之间可以通过 PTN 内的隧道相互通信。

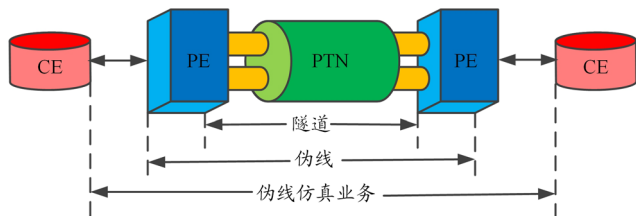


图 1 PWE3 网络参考模型

本文基于现场可编程门阵列(FPGA)设计并实现了一种在 PTN 上透传时分复用(TDM)业务的 SDH 伪线仿真方案。该方案可灵活裁减 FPGA 模块,具有更高的恢复时钟精度、较高的适应性和可靠性。该仿真方案对 PTN 设备侧发送并接收标准 MPLS 以太网帧,对 SDH 设备侧发送并接收标准 SDH 帧;采用复用技术,支持多路 SDH 伪线仿真并行执行,可根据实际需要灵活裁减或扩展 SDH 路数;支持非结构化及结构化封装方式,同一路 SDH 的收、发两端可执行不同的封装方式;支持 155 Mb/s、622 Mb/s 两种速率 SDH,同一端口的收、发两端可设置不同速率;支持码速自动调整,非结构化封装为自适应时钟调整,结构化封装为 SDH 帧内指针调整。

1.2 SDH 伪线仿真方案设计

SDH 伪线仿真处理流程如图 2 所示。SDH 伪线仿

真处理流程大致分为以太网封装及拆封、MPLS 封装及拆封、PWE3 封装及拆封和 SDH 解帧和组帧 4 个过程。本方案通过多通道模块复用技术实现了多路 SDH 信号的同步处理。

若为非结构化封装,SDH 信号解扰后可直接进行切片封装。该路 SDH 数据只暂存于缓冲(1)模块中,FPGA 再根据缓冲内暂存数据的多寡微调 SDH 数据发送速度。

若为结构化封装,SDH 信号需要先进行解析再分段封装。FPGA 需将数据及其状态信息组装成标准 SDH 帧,并根据缓冲的数值调整指针实现码数调整。

1.2.1 以太网封装、解封

以太网封装中,FPGA 为负载添加前导码、帧起始符、源和目的 MAC 地址、以太网类型和冗余校验码,且以太网帧间距必须不小于 12 字节。在以太网解封中,FPGA 首先需滤除 CRC 错帧、非 MPLS 帧等,再将正确的以太网帧去除前导码、帧起始符、源和目的 MAC 地址、以太网类型及冗余校验码。

本方案针对 MPLS 标签、PWE3 控制字及 SDH 数据所组成的负载长度不足负载规定的最小长度(即 46 字节)情况,通过算法在 SDH 数据尾部插入一段空数据以满足最小长度要求。

1.2.2 MPLS 封装、解封

一个 MPLS 标签包含标签值、EXP、S、TTL 共 4 字节,一帧以太网包可包含多个 MPLS 标签,但只有最底层标签 S 字段为 1,其余为 0。

本方案通过只添加一层标签,用于区分数据的源、目的位置,简化了处理过程。同时,FPGA 为所有缓

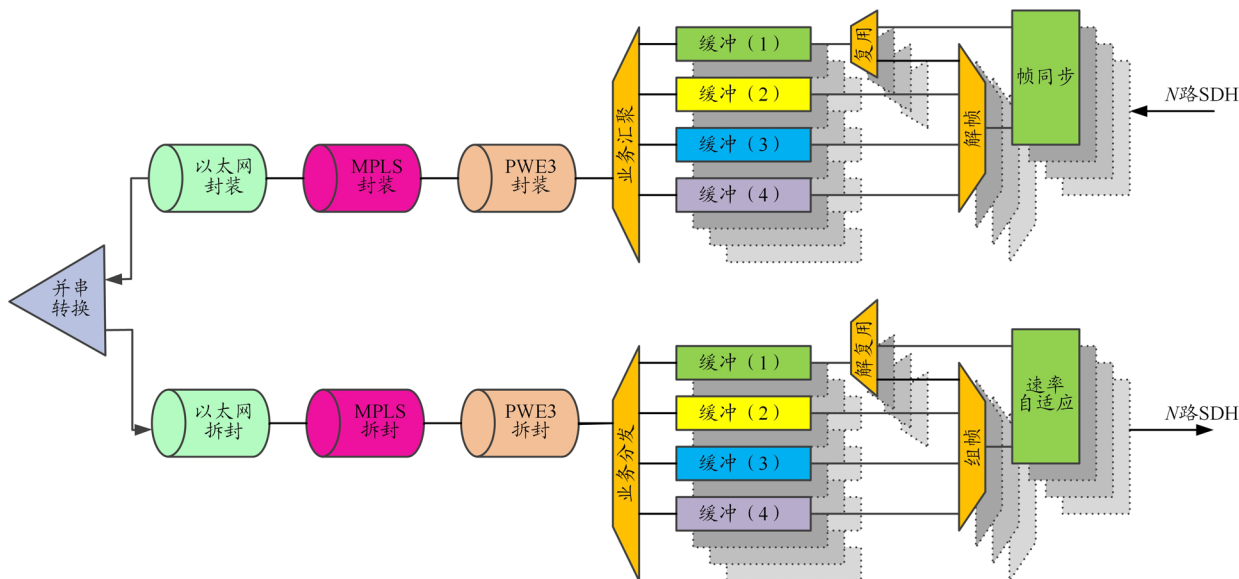


图 2 SDH 伪线仿真处理流程

冲分配专有标签值,经过同一缓冲的封装数据均标同一标签值。MPLS 解封中,根据标签值标明帧内 SDH 数据分发的目的缓冲。标签值与缓冲的对应关系由 CPU 配置,同一路 SDH 相同编号的收、发缓冲在封装和解封方向的标签值可以不同。

1.2.3 PWE3 封装、解封

本方案在实现多通道融合时将多路 SDH 的所有缓冲数据都汇聚到同一个 PWE3 封装模块内。FPGA 轮询各路 SDH 的所有缓冲,查询其暂存数据量,若该缓冲不使用或者暂存数据小于预设 Length 字段与控制字长度之差,则不作任何处理跳过该缓冲;若暂存数据达到期望值,则从该缓冲中读取数据及其状态信息进行 PWE3 封装^[9]。

PWE3 封装的控制字结构如图 3 所示。非结构化封装的控制字长度为 4 字节,结构化封装为 8 字节,控制字各字段含义如表 1 所示。FPGA 监测到 SDH 电路故障时,在该路数据封装中的 L 字段插入告警;对端以太网包接收异常时在 R 字段插入告警,告知对端报文异常。Length 字段由 CPU 配置,SDH 信号收发端需相同。Sequence Number 字段初始值由 CPU 预先配置,序号随发送报文递增,达到最大值后回滚为 0。N、P、FRG 和 Structure Pointer 字段则根据被封装数据的状态信息填写。

PWE3 解封数据时,将链路状态信息上报 CPU,偏移地址、指针、分片信息与数据一同存储至 MPLS 解封时标示的缓冲中。

1.2.4 SDH 解帧、组帧

STM-N 的信号是 9 行×270×N 列的帧结构。此处的 N 与 STM-N 的 N 相一致,表示此信号由 N 个 STM-1 信号通过字节间插复用而成。STM-1/STM-4 的帧起始位由 3/12 个连续的 A1 及 A2 串行构成。

本方案在初始时默认为帧失步状态,开始检测 STM-1 的帧起始位,若 3 个 STM-1 帧长度内未检测到起始位,则通过设计的自适应算法调整接收速率检测 STM-4 帧起始位;同理检测 STM-4 帧起始位时,若在 3 个 STM-4 帧长度内未检测到起始位,则调整接收速率检测 STM-1 帧起始位,不断循环,直至连续 3 帧检测到帧起始位完成帧同步,实现速率自适应。通过

表 1 PWE3 控制字段说明

字段	位宽 (bit)	说明
L	1	表示由于连接电路故障,有效载荷中携带的 TDM 数据无效
R	1	表示本端以太网报文接收异常
RSV	2	保留,设为 0
N、P	1	表示指针正负调整,NP 具体含义如下: 00 无指针调整 01 指针正调整 10 指针负调整 11 指针丢失告警
FRG	2	分片字段,在非结构化封装下设为 0;用于在 CESoPSN structured with CAS bundles 情况下,将复帧结构分片放入多个报文中,FRG 含义如下: 00 - 整个复帧放入一个报文中 01 - 报文携带的是第一个分片 10 - 报文携带的是最后一个分片 11 - 报文携带的是中间的分片
Length	6	指示长度小于 64 字节的报文,长度包括控制字,负载和 RTP 头(可选)。对于长度大于 64 字节的报文,该字段为 0
Sequence Number	16	报文序号,初始值为随机数,随发送报文递增,达到最大值后回滚为 0。该字段用于接收端检查报文是否丢失
Reserved	20	保留,设为 0
Structure Pointer	12	指示 J1 字节在负载的偏移地址。地址有效值范围是 0x0-0xFFE,0xFFFF 表示 J1 不在负载中,地址 0x0 表示紧跟着 CEP 头部的第一个字节

该自适应算法,同时可以提高速率适应的恢复时钟精度。后续完成帧同步后,若连续 5 帧未检测到起始位,即进入帧失步状态。FPGA 在完成帧同步后,才能向下一级流水转发数据,未完成同步则不转发。非结构化封装不解析 SDH 帧结构,SDH 数据直接旁路至缓冲(1)中,关闭缓冲(2)~缓冲(4)。结构化封装中,一帧 STM-1 只包含一个 VC4,只使用缓冲(1);一帧 STM-4 包含 4 个 VC4 对应 4 个缓冲。SDH 组帧时,缓冲使用方式与解帧时一致。非结构化封装时,FPGA 根据缓冲内暂存的数据多寡微调 SDH 数据发送速度;结构化封

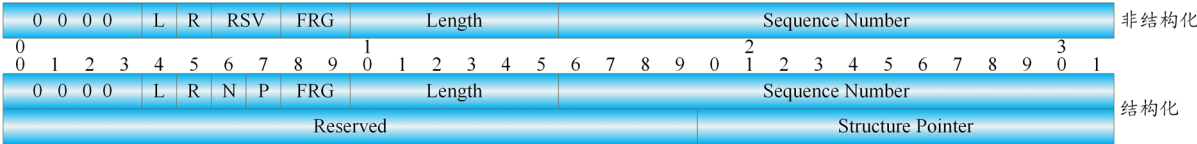


图 3 PWE3 控制字结构

装时,需要为VC4容器添加指针开销组装成标准SDH帧结构,并根据缓冲内暂存的数据多寡调整指针指向的容器位置进行码速调整。

2 试验与验证

2.1 开发环境

本系统开发环境运行平台为XILINX FPGA和ARM CPU,系统开发环境参数如表2所示。

表2 系统开发环境参数

开发环境	项目名称	参数
软件环境	开发工具	vivado 2017.4
	语言	Verilog
	操作系统	windows 7
	CPU	Intel Core i3-4150
	内存	8 G
硬件环境	FPGA	ZYNQ XC7Z035-2FGG676
	CPU	ARM9 A9 双核(FPGA 自带)
	内存	1 G

2.2 实验结果

为验证SDH伪线仿真设计的功能和性能,本文搭建了由2套FPGA开发板、2台SDH测试仪组成的验证环境如图4所示。验证平台连接关系如图5所示。2块FPGA开发板通过以太网相连,伪线仿真模块由单独的CPU控制。SDH测试仪信号经过一块FPGA开发板进行PWE3封装后通过以太网传输至另一FPGA开发板,再通过FPGA解析还原为SDH信号,最后将SDH信号送回到测试仪。

在非结构化封装和结构化封装、不同SDH信号频

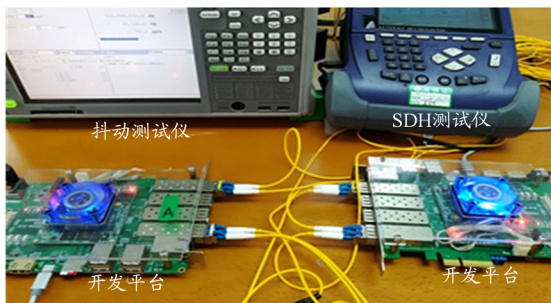


图4 验证平台实物图

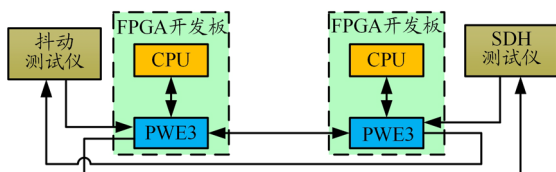


图5 验证平台连接关系示意图

偏及指针调整情况下,本实验分别测试了SDH伪线仿真传输信号的质量及可靠性。在所有的测试项中,SDH伪线仿真误码率均小于 $1.0E-9$,155 Mb/s、622 Mb/s速率可自适应调整,拥有较高的可靠性及实用价值。SDH伪线仿真性能指标如表3所示。可以看出:①在非结构化封装情况下,当 ± 50 ppm、0 ppm频偏时,SDH信号均能正常传送,最大偏差为0.3 ppm,能够真实地模拟信号的频率特征。与实现非结构化封装通用技术最大偏差为4.6 ppm相比,本方案在恢复时钟精度性能方面有较大提升;②在结构化封装情况下,码速调整依靠SDH帧结构的指针调整,故对外输出频偏为0 ppm,能完全依靠指针调整屏蔽速率间的差异。

表3 SDH伪线仿真性能指标

封装情况	输入信号特征	测试 STM-1 频偏		测试 STM-4 频偏	
		最大频偏	最小频偏	最大频偏	最小频偏
非结构化	+50 ppm 频偏	50.1 ppm	49.7 ppm	50.2 ppm	49.8 ppm
	-50 ppm 频偏	-49.8 ppm	50.2 ppm	-49.9 ppm	50.1 ppm
	0 ppm	0.1 ppm	-0.1 ppm	0.2 ppm	-0.1 ppm
结构化	+50 ppm 频偏	0 ppm	0 ppm	0 ppm	0 ppm
	-50 ppm 频偏	0 ppm	0 ppm	0 ppm	0 ppm
	每4帧指针正调整一次	0 ppm	0 ppm	0 ppm	0 ppm
	每4帧指针负调整一次	0 ppm	0 ppm	0 ppm	0 ppm

3 结束语

本文针对PTN,在FPGA平台下设计并实现了一种SDH伪线仿真模块,实验证明:本设计具有灵活的使用方式和扩展能力、较高的恢复时钟精度和网络适用性。下一步将测试复杂PTN环境下多路SDH仿真的功能性能,改进自适应速率调整算法提高其频率模拟精度,改进设计架构提高兼容性及裁减灵活性。

参考文献:

- [1] 余文辉,车伟扬. PTN与SDH的技术比较及发展趋势分析[J]. 光通信技术,2011,35(12):4-7.
- [2] 吴峰,刘逢清. OTN和PTN的联合组网研究[J]. 光通信技术,2012,36(1):7-9.
- [3] 杨一荔. PTN技术[M]. 北京:人民邮电出版社,2014.
- [4] 王元杰,杨宏博,方遵铿. 电信网新技术IPRAN/PTN[M]. 北京:人民邮电出版社,2014.
- [5] 袁嘉. 基于MPLS的PWE3实现研究[J]. 数据通信技术,2015,26(1):62-81.