

一种低延时的多通道 8B/10B 编码器设计

王俊杰^{1,2}, 万书芹^{2*}, 叶明远², 陶建中^{1,2}

(1. 江南大学 物联网工程学院, 江苏 无锡 214122; 2. 中国电子科技集团公司 第五十八研究所, 江苏 无锡 214035)

摘要: 针对当前 10 Gb/s 以上高速 SerDes 接口中的 8B/10B 编码需求, 在传统的多通道编码器上对其结构进行改进, 加入了极性快速产生模块, 降低了编码器内部通道的等待时间, 提升了并行编码的效率, 在提高了数据传输速率的同时, 降低了编码输出延时。电路的仿真结果表明: 编码器在四通道与八通道模式下, 数据传输速率分别达到了 20.6 Gb/s 与 38.4 Gb/s, 编码输出延时均为 1 个时钟周期, 填补了国内低延时高速 8B/10B 编码器的空白。

关键词: 多通道并行; 8B/10B; 低延时; 串行 / 解串器

中图分类号: TN47 **文献标识码:** A **文章编号:** 1002-5561(2020)02-0033-04

DOI: 10.13921/j.cnki.issn1002-5561.2020.02.008

开放科学(资源服务)标识码(OSID):



Design of a low latency multi-channel 8B/10B encoder

WANG Junjie^{1,2}, WAN Shuqin^{2*}, YE Mingyuan², TAO Jianzhong^{1,2}

(1. School of IoT Engineering, Jiangnan University, Wuxi Jiangsu 214122, China;

2. The 58th Research Institute of CETC, Wuxi Jiangsu 214035, China)

Abstract: In view of the current over 10 Gb/s high-speed SerDes interface of 8B/10B encoding requirement, this paper is based on the traditional multi-channel encoder and improves its structure. The polarity quick generation module is added and it reduces the waiting time of internal channel encoder. The efficiency of parallel encoding and data transmission rate are improved. Meanwhile, the output coding latency declines. The simulation results of the circuit show that the data transmission rate of the encoder reaches 20.6 Gb/s and 38.4 Gb/s respectively in the four-channel and eight-channel modes, and the coding output latency is one clock cycle, which fills the gap of the domestic low-delay high-speed 8B/10B encoder.

Key words: multi-channel parallelism; 8B/10B; low latency; SerDes

0 引言

随着集成电路中高速通信需求的不断增大, 串行/解串器(SerDes)通信技术具有传输速率高、易于集成等优点, 逐渐取代了传统并行通信技术。在 SerDes 接口中, 采用了 8B/10B 的编解码方式来保持直流平衡、减少电磁干扰。目前, SerDes 接口的通信速率最高已达到 10 Gb/s 以上, 设计者多采用多通道编解码单元以构成片内 8B/10B 编解码器, 从而能够使用较低的

时钟频率来实现高通信速率。在多通道编解码器中, 由于每个编解码通道依赖于上一路的极性输出^[1], 不可避免地带来了高延迟时间的问题, 尤其是多通道编码器^[2]。国内外对多通道 8B/10B 编码器的研究有很多: 文献[3]在 Cyclone IV 上实现了 250 MHz 的四通道编码器, 数据传输速率为 10.05 Gb/s, 延迟时间为 4 个时钟周期; 文献[4]在 Arriva V 上实现了 400 MHz 的四通道编码器, 数据传输速率为 16 Gb/s, 延迟时间未知; 文献[5]在 LC4128V 上实现了 90 MHz 的五通道编码器, 数据传输速率为 4.5 Gb/s, 延迟时间为 5 个时钟周期。

本文针对目前多通道编码器的内部结构进行改进, 提出一种具有低延时特点的多通道 8B/10B 编码器设计。

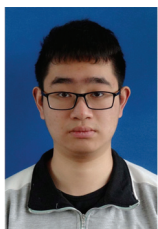
1 8B/10B 编码原理

在数据传输过程中, 电路的高低电平分别实现了“0”和“1”数据的传输, 而原始数据的“0”和“1”数量具

收稿日期: 2019-07-16。

基金项目: 国家自然科学基金(批准号: 61704161)资助。

作者简介: 王俊杰(1996-), 硕士生, 江苏无锡人, 现就读于江南大学物联网工程学院集成电路工程专业, 研究方向为大规模集成电路设计。2019 年参与 JESD204B 收发接口电路设计, 2016 年主持“基于 ZigBee 的耗电数据监测与节电管理系统”项目, 曾获得“第七届‘赛佰特杯’总决赛一等奖”、“第八届蓝桥杯全国总决赛二等奖”。



* 通信作者: 万书芹(E-mail: wsqwx@aliyun.cn)。

有随机性,这就导致了数据传输过程中的直流不平衡、电磁干扰以及时钟难以恢复等问题,因此需要将原始数据按特定规则编码成优化过的数据用于传输,Albert X.Widmer 和 Peter A.Franaszek 提出了 8B/10B 的编解码方式^[6],以优化 8B 数据的传输过程。8B 数据包括数据字符($D_{x,y}$)和控制字符($K_{x,y}$),其中 x 为高 3 位数据, y 为低 5 位数据,8B 数据由高位到低位依次为“HGFEDCBA”,10B 数据由高位到低位依次为“abcdeifghj”。

在编码过程中,RD 值代表了数据“0”和“1”的不平衡程度,数据的不平衡程度有 3 种情况,即“0”多于“1”、“0”少于“1”、“0”和“1”数量相等,输出 RD 值分别为“+”、“-”和“保持输入 RD 值不变”。8B/10B 编码虽然无法保证编码后数据中“0”、“1”数量的完全相等,但是实现了数据流中的“0”、“1”数量相当,维持了数据传输过程中的直流平衡。

2 低延时编码器设计

当数据采用 8B/10B 的编码方式传输且数据传输速率高达 10 Gb/s 时,工程上多采用多通道编码单元的编码器^[4],传统的多通道编码器工作流程如图 1 所示,其中编码器的输入有 8B 数据输入、极性输入和 K 码标识。当图 1 中编码器通道数为 4 时,既为基于逻辑运算算法的传统四通道 8B/10B 并行编码器工作流程^[3],与单路编码单元的编码器相比,采用四通道编码器在相同的数据传输速率下编码器工作频率能够降低 75%。

由图 1 可知,多通道编码器每路编码单元的极性输入来自于上路编码单元的极性输出^[4]。依赖于 5B/6B 与 3B/4B 的极性信息,产生极性结果的路径最深,在整个编码流程最后产生。同理,多通道编码器输入多路 8B 数据进行编码,而在下一通道的编码过程中,需获得上一通道极性输出才可编码出正确的 10B 数据,这种依赖关系增加了多通道编码单元之间的耦

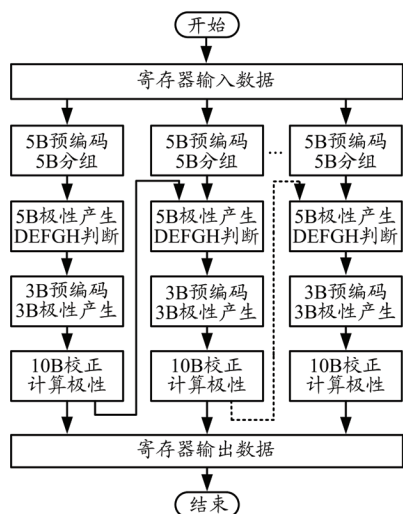


图 1 传统多通道编码器工作流程图

合度,导致了在编码器输入 8B 待编码数据后需要经过若干个时钟周期才能获得正确的 10B 编码输出结果,增大了编码输出延时,对并行效率产生了极大的影响。

可见,在设计多通道 8B/10B 编码器时,须在提升数据传输速率和降低频率的同时,解决编码结果输出的延时问题。本文基于传统的多通道编码器,在结构上进行了改进,提出一种延时为 1 个时钟周期的多通道编码器。

2.1 编码器结构设计

与传统的多通道编码器类似,本编码器的整体结构图如图 2 所示,多通道编码器由 n 路编码单元组成($n>1$),其输入输出寄存器的信息如表 1 所示。

为了降低多通道编码器编码结果的输出延时,本文在传统多通道编码器的基础上对编码单元的极性产生流程

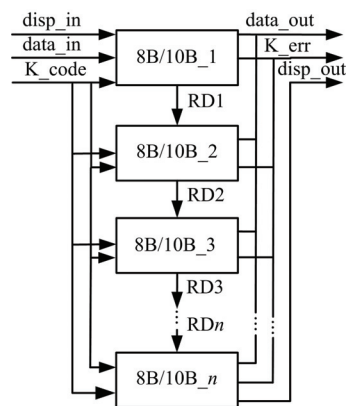


图 2 多通道编码器工作流程图

进行了改进,对通道间极性信息传递位于编码流程中的次序进行了优化,改进的编码器工作流程如图 3 所示,其编码单元原理图如图 4 所示。与图 1 相比,本文设计的编码器在每通道的编码单元中加入了极性输出快速产生模块,取代了传统多通道编码器编码单元中依赖 5B/6B 与 3B/4B 编码以及在流程的最后才能完成极性输出计算这一繁琐的极性产生过程,使得编码单元能够在寄存器输入数据时就可以进行当前通道极性输出的计算,从而在编码流程的第一步即可获得极性输出,将极性信息传递给下一通道使用,同时进行剩余编码流程。而传统的多通道编码器中须等待当前通道 8B/10B 编码完成后将极性输出传递给下一

表 1 输入/输出寄存器信息

方向	名称	数据位宽	含义
输入	enc_data_in	[8n-1:0]	n 路 8 bit 编码数据输入寄存器
	K_code	[n-1:0]	n 路 K 码标识寄存器
	enc_disp_in	1	RD 初始值输入寄存器
输出	data_out	[10n-1:0]	n 路 10 bit 编码数据输出寄存器
	disp_out	1	RD 终值输出寄存器
	K_err	[n-1:0]	n 路无效 K 码标识寄存器

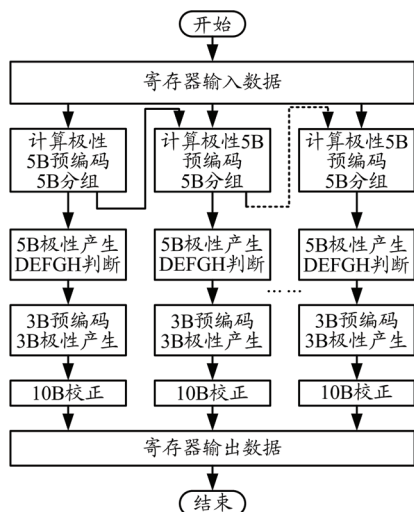


图3 改进的低延时编码器工作流程图

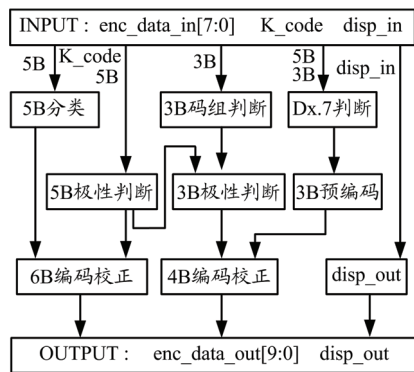


图4 编码单元原理图

通道。因此本文设计的多通道编码器降低了通道间极性信息的传递与通道内编码流程的耦合度,缩短了下一编码通道获得正确极性输入的时间,从而降低了编码器正确编码结果的输出延时。

2.2 RD 快速产生设计

根据 8B/10B 编码原理,对于任意给定的 8B 数据输入,其输出结果至多有 2 种,一种情况为输入 RD+ 与 RD- 得到的结果一致,则输出结果的“0”、“1”数量平衡,此 8B/10B

编码的极性输出为保持极性输入不变;另一种情况为输入 RD+ 与 RD- 得到的结果不同,两者的 10B 结果或其中 4B (fghj) 互补,或 6B (abcdefi) 互补,或 10B (abcdefi fghj) 互补,此情况下 RD+ 与 RD- 的 10B 结果中“0”、“1”数量不平衡,需要将输入极性取反作为输出极性,以实现数据流中的“0”、“1”数量均衡。

显然,对于任意给定的待编码 8B 数据,其输出极性是确定的,即为保持极性输入不变或极性输入取反。根据此一一对应的关系,可设计一种 RD 快速产生单元,本文使用组合逻辑实现 8B 数据与输出极性对应关系的查找功能。

根据 256 种数据字符 $D_{x,y}$ 与 12 种控制字符 $K_{x,y}$ 的所有 8B 编码输入输出对应关系(如表 2 所示)。统计 10B 数据中“0”、“1”的数量,“0”、“1”数量均为 5 个的情况共有 141 种,其极性输出为保持极性输入(即为 RD);“0”、“1”数量为 4 个、6 个或者 6 个、4 个的情况共有 127 种,其极性输出为极性输入取反(即为 ~RD)。观察 12 个 8B 控制字符编码结果与相同 8B 的数据字符编码结果可知,同一 8B 数据无论是控制字

表 2 8B 数据的编码结果与输出极性映射关系

$D_{x,y}/$ $K_{x,y}$	HGF EDCBA	RD-时 10B 输出	RD+时 10B 输出	输出 极性
D0.0	000 00000	100111 0100	011000 1011	RD
D0.1	001 00000	100111 1001	011000 1001	~RD
D0.2	010 00000	100111 0101	011000 0101	~RD
.....				
D31.5	101 11111	101011 1010	010100 1010	~RD
D31.6	110 11111	101011 0110	010100 0110	~RD
D31.7	111 11111	101011 0001	010100 1110	RD
K28.0	000 11100	001111 0100	110000 1011	RD
K28.1	001 11100	001111 1001	110000 0110	~RD
.....				
K29.7	111 11101	101110 1000	010001 0111	RD
K30.7	111 11110	011110 1000	100001 0111	RD

符或数据字符,其 RD 输出结果相同。因此,268 种 8B 输入数据可被简化成 256 种情况,换言之,只需统计 256 个数据字符的编码结果,其中包括了 134 种保持极性输出与 122 种极性取反输出的情况。为了方便编码单元的电路实现,选择 122 种不平衡情况作为极性输出的查找内容。根据以上流程可得 122 种非平衡情况的逻辑表达式如下:

$$D0.1 = !A \& !B \& !C \& !D \& !E \& !F \& !G \& !H$$

$$D0.2 = !A \& !B \& !C \& !D \& !E \& !F \& G \& !H$$

.....

$$D28.1 (K28.1) = !A \& !B \& C \& D \& E \& F \& !G \& !H$$

.....

$$D31.5 = A \& B \& C \& D \& E \& F \& !G \& H$$

$$D31.6 = A \& B \& C \& D \& E \& !F \& G \& H$$

$$\text{reverse_disp} = D0.1 \& D0.2 \& \dots \& D28.1 (K28.1) \& \dots \& D31.5 \& D31.6$$

$$\text{disp_out} = \text{reverse_disp} ? \sim \text{disp_in} : \text{disp_in}$$

由此可见,使用此 RD 极性产生模块可以仅根据输入的 8B 数据“HGFEDCBA”与极性输入,通过简单的逻辑与运算即可得出极性输出。

2.3 控制字符查错模块设计

为了防止错误的控制字符被编码输出后能被接收端识别,编码器应在错误控制字符输入时置为错误标识,故设计一个控制字符查错模块。通用 8B/10B 编码中的控制字符共有 12 个,分别为 K23.7、K27.7、K29.7、K30.7 与 K28.0~K28.7,由此可获得无效 K 码的

王俊杰,万书芹,叶明远,等:一种低延时的多通道 8B/10B 编码器设计

逻辑表达式,若 8B 输入数据为控制字符时不在上述 12 个之中,均为无效 K 码,此时 K_code 置位:

$$K_error = K \& (A|B|C|D|E) \& (!F|G|H|I) \& (!A == B \& C \& D) | (!C == D \& A \& B))$$

3 综合测试

使用 NC Verilog 对本文设计的多通道编码器进行仿真验证,本测试的编码器通道数为 8。为模拟连续数据编码的真实使用情况,将编码器的极性输入作为下一帧数据的极性输入,测试波形如图 5 所示。其中 enc_datain[63:0] 为 8 路 8bit 待编码数据输入寄存器,enc_k_code[7:0] 为 8 路数据的 K 码标识,enc_k_err[7:0] 为 8 路无效 K 码查错输出标识,enc_dataout[79:0] 为 8 路 10bit 编码输出,图 5 中将 8 路 10 bit 编码的输出结果建成了 8 条总线以便于查看。编码器在 1 ns 时复位,在 3 ns 时输入数据字符“00,01,02,03,04,05,06,07”,并将“05,07”的 K 码标识置位,在 1 个时钟周期后即 5 ns 时输出寄存器值为“274,1D4,2D4,31B,0AB,16B,19B,07B”,编码结果正确,此时“05,07”的 K 码查错输出标识均为 1,说明编码器控制字符查错功能正常;在 7 ns 时输入 8 个控制字符进行编码,1 个时钟周期后输出正确的编码结果。经测试,编码器的逻辑功能正常。

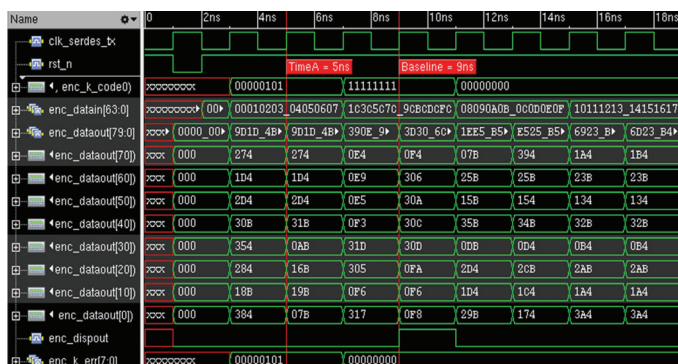


图 5 8 通道编码器功能测试

本文使用某 28 nm 工艺库,对所设计的多通道编码器使用 Synopsys 的 Design Compiler 工具进行综合,综合结果及性能对比结果如表 3 所示。4 通道编码器的最高运行频率达到 515 MHz,此时数据传输速率为 20.6 Gb/s,8 通道编码器的最高运行频率达到 480 MHz,此时数据传输速率为 38.4 Gb/s。

使用此 28 nm 工艺库对本文设计的低延时 4 通道编码器与传统 4 通道编码器^[1]进行综合对比,在 350 MHz 工作频率下,传统编码器的面积为 380.0 μm^2 ,漏电功耗为 237033 nW;低延时编码器的面积为

表 3 参数对比

实现平台	通道数	最高频率 (MHz)	延时 (时钟周期)	传输速率 (Gb/s)
某 28 nm 工艺库	4	515	1	20.6
	8	480	1	38.4
Cyclone IV	4	250.13	4	10.05
Arriva V	4	400	N/A	16
LC4128V	5	10	3	0.5

449.2 μm^2 ,漏电功耗为 261800 nW,分别是传统编码器的 118.2%与 110.4%。

仿真验证综合结果表明:本文设计的多通道编码器的功能正常,且编码延迟时间均为 1 个时钟周期,即在输入任何待编码数据后的下一拍即可读出正确的编码结果。该编码器在面积、功耗上虽有牺牲,但在对其不是非常敏感的设计要求下可以直接取代传统编码器。本文设计的编码器足以满足短期内高速 SerDes 接口电路中 8B/10B 的编码需求,并提供了最低的输出延时。

4 结束语

本文设计的低延时多通道 8B/10B 编码器能够实现正常的编码功能,具有针对无效控制字符的查错功能,在牺牲较少面积与功耗的情况下,将正确编码结果的输出延迟时间降至了最低,仅为 1 个时钟周期。本设计填补了国内多通道低延时 8B/10B 编码器的研究空白,对使用 SerDes 接口的高速通信芯片设计具有重要的意义。

参考文献:

- [1] 邹陈,黄鲁,张步青.一种具有查错功能的 10B/8B 解码器设计[J].微电子学与计算机,2016,33(9):28-31.
- [2] 蔡万楼,赵建中,吕英杰.PCIE2.0 中 8b/10b 编码器的实现与扩展[J].南开大学学报(自然科学版),2019,52(2):36-40.
- [3] 常红,柯导明,孟坚,等.新型 8B/10B 编码方案的设计与实现[J].计算机工程与应用,2018(2):87-90.
- [4] 李长庆,程军,李梁,等.采用并行 8b/10b 编码的 JESD204B 接口发送端电路设计[J].微电子学与计算机,2017,34(8):70-75.
- [5] Lattice. 8b/10b Encoder/Decoder Reference Design RD1012[DB/OL].(2015-1-13) [2019-05-13] http://www.latticesemi.com/view_document?document_id=5653
- [6] WIDMER A X, FRANSZKE P A. A DC-Balanced, Partitioned-Block, 8B/10B Transmission Code[J]. IBM Journal of Research and Development, 1983, 27(5): 440-451.
- [7] 周德金,孙锋,于宗光.高性能全加器设计技术研究[J].电子与封装,2008(1):29-32.